

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

Docket No.: HME/K-10Q

#3) Priority Papers 4/3/01
PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :

Hee Bok KANG and Jun Sik LEE :

Serial No.: To be assigned :

Filed: December 20, 2000 :

For: NONVOLATILE FERROELECTRIC MEMORY DEVICE AND
METHOD FOR FABRICATING THE SAME



Smith

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Assistant Commissioner of Patents
Washington, D. C. 20231

Sir:

At the time the above application was filed, priority was claimed based on the
following application:

Korean Patent Application No. P1999-62647, filed December 27, 1999

A copy of each priority application listed above is enclosed.

Respectfully submitted,
FLESHNER & KIM, LLP

Carl R. Wesolowski

Daniel Y.J. Kim
Registration No. 36,186
Carl R. Wesolowski
Registration No. 40,372

P. O. Box 221200
Chantilly, Virginia 20153-1200
703 502-9440

Date: December 20, 2000

DYK/CRW:jld



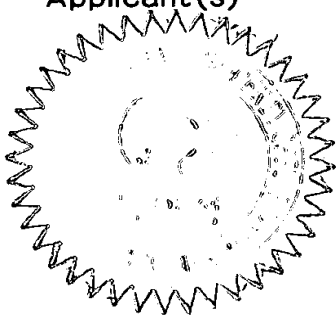
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Industrial Property Office.

출원 번호 : 특허출원 1999년 제 62647 호
Application Number

출원 년 월 일 : 1999년 12월 27일
Date of Application

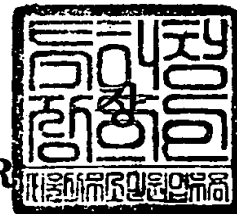
출원인 : 현대전자산업주식회사
Applicant(s)



2000 년 02 월 02 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0010
【제출일자】	1999.12.27
【국제특허분류】	G11C
【발명의 명칭】	불휘발성 강유전체 메모리 소자 및 그 제조방법
【발명의 영문명칭】	NONVOLATILE FERROELECTRIC MEMORY DEVICE AND METHOD FOR MANUFACTURING THE SAME
【출원인】	
【명칭】	현대전자산업 주식회사
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	강용복
【대리인코드】	9-1998-000048-4
【포괄위임등록번호】	1999-057814-0
【대리인】	
【성명】	김용인
【대리인코드】	9-1998-000022-1
【포괄위임등록번호】	1999-057815-7
【발명자】	
【성명의 국문표기】	강희복
【성명의 영문표기】	KANG, Hee Bok
【주민등록번호】	650205-1457241
【우편번호】	302-160
【주소】	대전광역시 서구 도마동 359-27 양지타운 3-401
【국적】	KR
【발명자】	
【성명의 국문표기】	이준식
【성명의 영문표기】	LEE, Jun Sik
【주민등록번호】	611118-1548619
【우편번호】	360-210



1019990062647

2000/2/

【주소】 충청북도 청주시 상당구 율량동 660-44 성원아파트
102-805

【국적】 KR

【심사청구】 청구

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정
에 의한 출원심사 를 청구합니다. 대리인
강용복 (인) 대리인
김용인 (인)

【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	54 면	54,000 원
【우선권주장료】	0 건	0 원
【심사청구료】	15 항	589,000 원
【합계】	672,000 원	

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 공정마진을 극대화하여 보다 손쉬운 공정진행이 가능하고, 마스크 수를 감소시켜 코스트를 절감시킴과 동시에 레이아웃 면적을 최소화하는데 적당한 불휘발성 메모리 소자에 관한 것으로, 본 발명의 불휘발성 강유전체 메모리 소자는 기판상에 소정 간격을 두고 일방향으로 형성된 제 1, 제 2 스플릿 워드라인과, 상기 제 2 스플릿 워드라인상에 형성된 제 1 강유전체 커패시터의 제 1 전극과 상기 제 1 스플릿 워드라인상에 형성된 제 2 강유전체 커패시터의 제 1 전극과, 상기 제 1 전극들의 표면에 각각 형성된 제 1, 제 2 강유전체층과, 상기 제 1, 제 2 강유전체층의 표면에 각각 형성된 제 1, 제 2 강유전체 커패시터의 제 2 전극과, 상기 제 1 강유전체 커패시터의 제 2 전극과 상기 제 2 스플릿 워드라인 일측의 기판을 연결하는 제 1 전도층과, 상기 제 2 강유전체 커패시터의 제 2 전극과 상기 제 1 스플릿 워드라인 일측의 기판을 연결하는 제 2 전도층과, 상기 각 스플릿 워드라인의 또다른 일측의 기판에 연결된 제 1, 제 2 비트라인

【대표도】

도 9

【색인어】

스플릿 워드라인, 강유전체 커패시터

【명세서】**【발명의 명칭】**

불휘발성 강유전체 메모리 소자 및 그 제조방법{NONVOLATILE FERROELECTRIC MEMORY DEVICE AND METHOD FOR MANUFACTURING THE SAME}

【도면의 간단한 설명】

도 1은 일반적인 강유전체의 히스테리시스 루프를 나타낸 특성도

도 2는 종래 기술에 따른 불휘발성 강유전체 메모리 소자의 회로적 구성도

도 3a는 종래 불휘발성 강유전체 메모리 소자의 쓰기 모드(Write mode)의 동작을 나타낸 타이밍도

도 3b는 읽기 모드(Read mode)의 동작을 나타낸 타이밍도

도 4a는 종래 불휘발성 강유전체 메모리 소자의 레이아웃도

도 4b는 도 4a의 I-I'선에 따른 불휘발성 강유전체 메모리 소자의 구조 단면도

도 5a 내지 도 5f는 도 4a의 I-I'선에 따른 불휘발성 강유전체 메모리 소자의 제조방법을 설명하기 위한 공정단면도

도 6은 본 발명의 불휘발성 강유전체 메모리 소자의 회로적 구성도

도 7은 간략화한 본 발명 불휘발성 강유전체 메모리 장치의 회로적 구성도

도 8은 본 발명 불휘발성 강유전체 메모리 소자의 동작을 설명하기 위한 타이밍도

도 9는 본 발명 제 1 실시예에 따른 불휘발성 강유전체 메모리 소자의 구조단면도

도 10a 내지 10i는 본 발명 제 1 실시예에 따른 불휘발성 강유전체 메모리 소자의 레이아웃 공정도

도 11a 내지 11i는 도 10a 내지 10i의 I-I'선에 따른 제조공정 단면도

도 12는 본 발명 제 2 실시예에 따른 불휘발성 강유전체 메모리 소자의 구조단면도

도 13a 내지 13i는 본 발명 제 2 실시예에 따른 불휘발성 강유전체 메모리 소자의 레이아웃 공정도

도 14a 내지 14i는 도 13a 내지 13i의 I-I'선에 따른 제조공정 단면도

도면의 주요부분에 대한 부호의 설명

100 : 반도체 기판 100a,100b: 제 1, 제 2 액티브 영역

102,102a : 제 1, 제 2 스플릿 워드라인

103,103a : 제 1, 제 2 소오스 영역 104,104a : 제 1, 제 2 드레인 영역

106,107,113 : 제 1, 제 2, 제 3 플러그

108,108a : 제 1, 제 2 강유전체 커패시터의 제 1 전극

109,109a : 제 1, 제 2 강유전체층

110,110a : 제 1, 제 2 강유전체 커패시터의 제 2 전극

111,111a : 제 1, 제 2 전도층 114,114a : 제 1, 제 2 비트라인

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<26> 본 발명은 반도체 장치에 관한 것으로, 특히 불휘발성 강유전체 메모리 소자 및 그 제조방법에 관한 것이다.

<27> 일반적으로 비휘발성 강유전체 메모리 즉, FRAM(Ferroelectric Random Access

Memory)은 디램(DRAM:Dynamic Random Access Memory)정도의 데이터 처리 속도를 갖고, 전원의 오프(off)시에도 데이터가 보존되는 특성때문에 차세대 기억소자로 주목받고 있다.

- <28> FRAM은 DRAM과 거의 유사한 구조를 갖는 기억소자로서 커패시터의 재료로 강유전체를 사용하여 강유전체의 특성인 높은 잔류분극을 이용한 것이다.
- <29> 이와 같은 잔류분극 특성으로 인하여 전계를 제거하더라도 데이터가 지워지지 않는다.
- <30> 도 1은 일반적인 강유전체의 히스테리시스 루프를 나타낸 특성도이다.
- <31> 도 1에서와 같이, 전계에 의해 유기된 분극이 전계를 제거하여도 잔류분극(또는 자발분극)의 존재로 인하여 소멸되지 않고, 일정량(d, a상태)을 유지하고 있는 것을 알 수 있다. 불휘발성 강유전체 메모리 셀은 상기 d, a상태를 각각 1, 0으로 대응시켜 기억소자로 응용한 것이다.
- <32> 이하, 종래 기술에 따른 불휘발성 강유전체 메모리 소자의 구동회로를 첨부된 도면을 참조하여 설명하기로 한다.
- <33> 도 2는 종래 불휘발성 강유전체 메모리의 단위 셀을 나타내었다.
- <34> 도 2에 도시한 바와 같이, 일방향으로 비트라인(B/L)이 형성되고, 상기 비트라인과 교차하는 방향으로 워드라인(W/L)이 형성되고, 워드라인에 일정한 간격을 두고 워드라인과 동일한 방향으로 플레이트 라인(P/L)이 형성되고, 게이트가 워드라인에 연결되고 소오스는 비트라인에 연결되도록 트랜지스터(T1)가 형성되고, 두 단자중 제 1 단자가 트랜지스터(T1)의 드레인에 연결되고 제 2 단자는 플레이트 라인(P/L)에 연결되도록 강유

전체 커패시터(FC1)가 형성된다.

- <35> 이와 같은 불휘발성 강유전체 메모리 소자의 데이터 입/출력 동작은 다음과 같다.
- <36> 도 3a는 종래 불휘발성 강유전체 메모리 소자의 쓰기 모드(Write mode)의 동작을 나타낸 타이밍도이고, 도 3b는 읽기 모드(Read mode)의 동작을 나타낸 타이밍도이다.
- <37> 먼저, 쓰기 모드의 경우, 외부에서 인가되는 칩 인에이블 신호(CSBpad)가 하이(high)에서 로우(low)로 활성화되고, 동시에 쓰기 인에이블 신호(WEBpad)를 하이에서 로우로 인가하면 쓰기 모드가 시작된다. 이어, 쓰기 모드에서 어드레스 디코딩이 시작되면 해당 워드라인에 인가되는 펄스가 '로우'에서 '하이'로 천이되어 셀이 선택된다. 이와 같이, 워드라인이 '하이' 상태를 유지하고 있는 구간에서 해당 플레이트 라인에는 차례로 일정구간의 '하이' 신호와 일정구간의 '로우' 신호가 인가된다. 그리고 선택된 셀에 로직값 '1' 또는 '0'을 쓰기 위하여 해당 비트라인에 쓰기 인에이블 신호(WEBpad)에 동기되는 '하이' 또는 '로우' 신호를 인가한다. 즉, 비트라인에 '하이'신호를 인가하고 워드라인에 인가되는 신호가 '하이' 상태인 구간에서 플레이트 라인에 인가되는 신호가 '로우'이면 강유전체 커패시터에는 로직값 '1'이 기록된다. 그리고 비트라인에 '로우' 신호를 인가하고 플레이트 라인에 인가되는 신호가 '하이' 신호이면 강유전체 커패시터에는 로직값 '0'이 기록된다.
- <38> 이와 같은 쓰기 모드의 동작으로 셀에 저장된 데이터를 읽어내기 위한 동작은 다음과 같다.
- <39> 외부에서 칩 인에이블 신호(CSBpad)를 '하이'에서 '로우'로 활성화시키면 해당 워드라인이 선택되기 이전에 모든 비트라인은 이퀄라이저 신호에 의해 '로우'전압으로 등전위

된다. 그리고 각 비트라인을 비활성화시킨 다음, 어드레스를 디코딩하고 디코딩된 어드레스에 의해 해당 워드라인에는 '로우'신호가 '하이'신호로 천이되어 해당 셀을 선택한다. 선택된 셀의 플레이트 라인에 '하이' 신호를 인가하여 강유전체 메모리에 저장된 로직값 '1'에 상응하는 데이터를 파괴시킨다. 만약, 강유전체 메모리에 로직값 '0'이 저장되어 있다면 그에 상응하는 데이터는 파괴되지 않는다. 이와 같이, 파괴된 데이터와 파괴되지 않은 데이터는 전술한 히스테리시스 루프의 원리에 의해 서로 다른 값을 출력하게 되어 센스앰프는 로직값 '1' 또는 '0'을 센싱하게 된다. 즉, 데이터가 파괴된 경우는 도 1의 히스테리시스 루프에서처럼 d에서 f로 변경되는 경우이고, 데이터가 파괴되지 않은 경우는 a에서 f로 변경되는 경우이다. 따라서, 일정시간이 경과한 후에 센스앰프가 인에이블되면 데이터가 파괴된 경우는 증폭되어 로직값 '1'을 출력하고, 데이터가 파괴되지 않는 경우는 로직값 '0'을 출력한다. 이와 같이, 센스앰프에서 데이터를 출력한 후에는 원래의 데이터로 복원하여야 하므로 해당 워드라인에 '하이' 신호를 인가한 상태에서 플레이트 라인을 '하이'에서 '로우'로 비활성화시킨다.

<40> 이와 같은 종래 불휘발성 강유전체 메모리 소자의 구조 및 제조방법을 설명하면 다음과 같다.

<41> 도 4a는 종래 불휘발성 강유전체 메모리 소자의 레이아웃도이다.

<42> 도 4a에 도시한 바와 같이, 서로 일정거리를 두고 비대칭적으로 형성되는 제 1 액티브 영역(41)과 제 2 액티브 영역(41a), 제 1 액티브 영역(41)을 가로지르는 방향으로 형성된 제 1 워드라인(W/L1), 제 1 워드라인(W/L1)과 일정거리를 두고 제 2 액티브 영역(41a)을 가로지르는 방향으로 형성된 제 2 워드라인(W/L2), 제 1 액티브 영역(41) 일측에서 제 1, 제 2 워드라인들을 가로지르는 방향을 따라 형성된 제 1 비트라인(B/L1), 제

2 액티브 영역(41a)의 일측에 형성되며 제 1, 제 2 워드라인을 가로지르는 방향으로 형성되는 제 2 비트라인(B/L2), 제 1 액티브 영역(41)과 전기적으로 연결되고 제 1 워드라인(W/L1)과 제 2 워드라인(W/L2)에 걸쳐 형성되는 제 1 강유전체 커패시터(FC1), 제 2 액티브 영역(41a)과 전기적으로 연결되며 제 1 워드라인(W/L1)과 제 2 워드라인(W/L2)에 걸쳐 형성되는 제 2 강유전체 커패시터(FC2), 제 1 강유전체 커패시터(FC1)와 전기적으로 연결되며 제 1 워드라인 (W/L1)상에 형성되는 제 1 플레이트 라인(P/L1), 제 2 강유전체 커패시터(FC2)와 전기적으로 연결되며 제 2 워드라인(W/L2)상에 형성되는 제 2 플레이트 라인(P/L2)으로 구성된다.

<43> 상기 도 4a는 단위 셀을 기준으로 한 레이아웃도이며 이와 같은 종래 불휘발성 강유전체 메모리 소자는 제 1, 제 2 강유전체 커패시터(FC1,FC2)가 비트라인 방향을 따라 형성되고 제 1 플레이트 라인(P/L1)은 제 1 워드라인(W/L1)상에 형성되며 제 2 플레이트 라인(P/L2)은 제 2 워드라인(W/L2)상에 형성된다.

<44> 이와 같은 종래 불휘발성 강유전체 메모리 소자를 보다 상세하게 설명하면 다음과 같다.

<45> 도 4b는 도 4a의 I-I'선에 따른 불휘발성 강유전체 메모리 소자의 구조 단면도이다.

<46> 도 4b에 도시한 바와 같이, 액티브 영역 및 필드 영역이 정의된 기판(51), 액티브 영역 및 필드 영역상에 제 1 절연층(53)을 개재하여 형성된 제 1 워드라인(54) 및 제 2 워드라인(54a), 제 1 워드라인(54) 양측에 형성된 제 1 소오스/드레인 불순물 영역(55,56), 제 2 워드라인(54a) 양측에 형성되는 제 2 소오스/드레인 불순물 영역(도시되지 않음), 제 1 드레인 불순물 영역(56)이 노출되도록 콘택홀을 갖고 제 1, 제 2 워드라

인(54,54a)을 포함한 전면에 형성되는 제 2 절연층(57), 상기 콘택홀내에 매립된 제 1 플러그층(58a), 제 1 플러그층(58a)과 제 1 비트라인(도시되지 않음)을 연결하는 제 1 메탈층(59), 제 1 소오스 불순물 영역(55)이 노출되도록 콘택홀을 갖고 제 1 메탈층(59)을 포함한 전면에 형성되는 제 3 절연층(60), 콘택홀내에 매립되는 제 2 플러그층(62), 제 2 플러그층(62)과 전기적으로 연결되고 제 1 워드라인(54)에서부터 제 2 워드라인(54a)에 이르기까지 형성되는 베리어 메탈층(63), 베리어 메탈층(63)상에 형성되는 제 1 강유전체 커패시터(FC1)의 하부전극(64), 제 1 강유전체 커패시터의 하부전극(64)상에 차례로 적층되는 강유전체막(65) 및 제 2 강유전체 커패시터의 상부전극(66), 제 2 강유전체 커패시터의 상부전극(66)을 포함한 전면에 형성되는 제 4 절연층(67), 제 4 절연층을 통해 제 1 강유전체 커패시터(FC1)의 상부전극(66)과 전기적으로 연결되며 제 1 워드라인(54)의 상측부에 상응하는 위치에 형성되는 제 1 플레이트 라인(68), 제 1 플레이트 라인(68)과 일정거리를 두고 제 2 워드라인(54a)의 상측부에 상응하는 위치에 형성되는 제 2 플레이트 라인(68a)으로 구성된다.

<47> 이와 같이 구성된 종래 불휘발성 강유전체 메모리 소자의 제조방법을 설명하면 다음과 같다.

<48> 도 5a 내지 도 5f는 종래 기술에 따른 불휘발성 강유전체 메모리 소자의 제조방법을 설명하기 위한 공정단면도로써, 도 4a의 I-I'선에 따른 것이다.

<49> 도 5a에 도시한 바와 같이, 반도체 기판(51)의 소정부위를 식각하여 트렌치를 형성한 후, 트렌치내에 절연막을 매립하여 소자 격리층(52)을 형성한다. 소자 격리층(52)을 포함한 액티브 영역의 기판상에 제 1 절연층(53)을 형성한다. 제 1 절연층(53)상에 워드라인 물질층을 형성한 후, 패터닝하여 서로 일정 간격을 가는 제 1, 제 2 워드라인

(54,54a)을 형성한다.

<50> 도 5b에 도시한 바와 같이, 워드라인들(54,54a)을 마스크로 이용한 불순물 이온주입을 통해 상기 기판(51)과 반대 도전형을 갖는 소오스 불순물 영역(55)과 드레인 불순물 영역(56)을 형성한다.

<51> 여기서, 상기 소오스/드레인 불순물 영역(55,56)은 상기 제 1 워드라인(54)을 게이트 전극으로 하는 제 1 트랜지스터(T1)의 소오스/드레인 불순물 영역이다. 이후, 제 1, 제 2 워드라인(54,54a)을 포함한 기판(51) 전면에서 제 2 절연층(55)을 형성한다. 제 2 절연층(55)상에 포토레지스트(도시하지 않음)를 도포한 후 패터닝하고, 패터닝된 포토레지스트를 마스크로 이용한 식각 공정으로 제 2 절연층(55)을 선택적으로 제거하여 드레인 불순물 영역(56)이 노출되는 콘택홀(58)을 형성한다.

<52> 도 5c에 도시한 바와 같이, 콘택홀내에 도전성 물질을 매립하여 제 1 플러그층(58a)을 형성하고, 제 1 플러그층(58a)과 제 1 비트라인(B/L1)을 연결하는 제 1 메탈층(59)을 형성한다. 이때, 도면에는 도시되지 않았지만, 제 2 비트라인(B/L2)은 제 2 트랜지스터(T2)의 드레인 불순물 영역과 전기적으로 연결된다.

<53> 도 5d에 도시한 바와 같이, 제 1 메탈층(59)을 포함한 전면에서 제 3 절연층(60)을 형성한다. 제 3 절연층(60)상에 포토레지스트(도시하지 않음)를 도포한 후 패터닝하고, 패터닝된 포토레지스트를 마스크로 이용한 식각 공정으로 제 3 절연층(60)을 선택적으로 제거하여 소오스 불순물 영역(55)이 노출되는 콘택홀(61)을 형성한다.

<54> 도 5e에 도시한 바와 같이, 콘택홀(61)내에 도전성 물질을 매립하여 소오스 불순물 영역(55)과 전기적으로 연결되는 제 2 플러그층(62)을 형성한다. 그리고 제 2 플러그층

(62)과 전기적으로 연결되도록 베리어 메탈층(63)을 형성한 후, 베리어 메탈층(63)상에 제 1 강유전체 커패시터(FC1)의 하부전극(64), 강유전체막(65), 제 1 강유전체 커패시터의 상부전극(66)을 차례로 형성한다.

- <55> 도 5f에 도시한 바와 같이, 제 1 강유전체 커패시터의 상부전극(66)상에 제 4 절연층(67)을 형성하고, 포토리소그래피 공정으로 제 4 절연층(67)을 선택적으로 식각하여 제 1 강유전체 커패시터의 상부전극(66)이 소정부분 노출되도록 콘택홀을 형성한다. 그리고 콘택홀을 통해 제 1 강유전체 커패시터 상부전극(66)과 전기적으로 연결되는 제 1 플레이트 라인(68)을 형성하면, 종래 기술에 따른 불휘발성 강유전체 메모리 소자의 제조공정이 완료된다. 여기서, 미설명 부호 '68a'는 제 2 플레이트 라인을 지시한다.

【발명이 이루고자 하는 기술적 과제】

- <56> 그러나 상기와 같은 종래 불휘발성 강유전체 메모리 소자 및 그 제조방법은 다음과 같은 문제점이 있었다.
- <57> 첫째, 단위 셀마다 워드라인과 플레이트 라인이 형성되므로 플레이트 라인과 인접한 셀의 워드라인이 구분될 수 있는 플레이트 라인 형성 공간이 충분히 확보되지 않아 좁은 공간에서 플레이트 라인을 형성하여야 하므로 공정이 매우 어렵다.
- <58> 둘째, 강유전체 커패시터의 상부전극과 플레이트 라인을 콘택홀을 통해 연결하므로 콘택홀 형성에 마스크의 수가 증가하여 코스트가 증가하게 된다.
- <59> 본 발명은 상기한 종래 기술의 문제점을 해결하기 위해 안출한 것으로, 공정마진을 극대화하여 보다 손쉬운 공정진행이 가능하고, 마스크 수를 감소시켜 코스트를 절감시킬

과 동시에 레이아웃 면적을 최소화하는데 적당한 불휘발성 강유전체 메모리 소자 및 그 제조방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<60> 상기의 목적을 달성하기 위한 본 발명의 불휘발성 강유전체 메모리 소자는 기판상에 소정 간격을 두고 일방향으로 형성된 제 1, 제 2 스플릿 워드라인과, 상기 제 2 스플릿 워드라인상에 형성된 제 1 강유전체 커패시터의 제 1 전극과 상기 제 1 스플릿 워드라인상에 형성된 제 2 강유전체 커패시터의 제 1 전극과, 상기 제 1 전극들의 표면에 각각 형성된 제 1, 제 2 강유전체층과, 상기 제 1, 제 2 강유전체층의 표면에 각각 형성된 제 1, 제 2 강유전체 커패시터의 제 2 전극과, 상기 제 1 강유전체 커패시터의 제 2 전극과 상기 제 2 스플릿 워드라인 일측의 기판을 연결하는 제 1 전도층과, 상기 제 2 강유전체 커패시터의 제 2 전극과 상기 제 1 스플릿 워드라인 일측의 기판을 연결하는 제 2 전도층과, 상기 각 스플릿 워드라인의 또다른 일측의 기판에 연결된 제 1, 제 2 비트라인을 포함하여 구성된다.

<61> 그리고 본 발명의 불휘발성 강유전체 메모리 소자 제조방법은 반도체 기판을 제 1 액티브 영역과 제 2 액티브 영역으로 정의하는 공정과, 상기 제 1, 제 2 액티브 영역을 각각 가로지르는 제 1, 제 2 스플릿 워드라인을 형성하는 공정과, 상기 제 1, 제 2 스플릿 워드라인 양측의 제 1, 제 2 액티브 영역에 각각 제 1, 제 2 소오스/드레인 영역을 형성하는 공정과, 콘택홀을 통해 상기 제 1, 제 2 드레인 영역에 연결되는 제 1 플러그들과 상기 제 1, 제 2 소오스 영역에 연결되는 제 2 플러그들을 형성하는 공정과, 상기 제 2, 제 1 스플릿 워드라

인 상부에 제 1, 제 2 강유전체 커패시터의 제 1 전극을 각각 형성하는 공정과, 상기 제 1, 제 2 전극상에 각각 제 1, 제 2 강유전체층을 형성하는 공정과, 상기 제 1, 제 2 강유전체층의 표면상에 각각 형성되고, 상기 제 1, 제 2 스플릿 워드라인이 형성된 방향을 따라 서로 평행하며 비대칭적인 제 1, 제 2 강유전체 커패시터의 제 2 전극들을 형성하는 공정과, 상기 제 1, 제 2 소오스 영역에 각각 연결된 제 2 플러그들을 상기 제 1, 제 2 강유전체 커패시터의 제 2 전극들과 연결하는 제 1, 제 2 전도층을 각각 형성하는 공정과, 상기 제 1, 제 2 드레인 영역에 연결된 제 1 플러그들과 각각 연결되며 상기 제 1, 제 2 스플릿 워드라인을 가로지르는 방향으로 형성된 제 1, 제 2 비트라인을 형성하는 공정을 포함하여 이루어진다.

<62> 이하, 본 발명 불휘발성 강유전체 메모리 소자 및 그 제조방법을 설명하기로 한다.

<63> 도 6은 본 발명의 불휘발성 강유전체 메모리 소자의 회로적 구성도이다.

<64> 도 6에 도시한 바와 같이, 본 발명 불휘발성 강유전체 메모리 소자의 단위 셀은로우(ROW)방향으로 형성되며 서로 일정한 간격을 가지는 제 1 스플릿 워드라인(SWL1)과 제 2 스플릿 워드라인(SWL2), 제 1, 제 2 스플릿 워드라인들을 가로지르는 방향으로 형성된 제 1 비트라인(B/L1)과 제 2 비트라인(B/L2), 게이트가 제 1 스플릿 워드라인(SWL1)에 연결되고 드레인이 제 1 비트라인(B/L1)에 연결되는 제 1 트랜지스터(T1), 제 1 트랜지스터의 소오스와 제 2 스플릿 워드라인 사이에 연결된 제 1 강유전체 커패시터(FC1), 게이트가 제 2 스플릿 워드라인에 연결되고 드레인이 제 2 비트라인(B/L2)에 연결되는 제 2 트랜지스터(T2), 제 2 트랜지스터의 소오스와 제 1 스플릿 워드라인 사이에 연결된 제 2 강유전체 커패시터(FC2)를 포함하여 구성된다.

<65> 한편, 도 7은 간략화한 본 발명 불휘발성 강유전체 메모리 장치의 회로적 구성도로

써, 그 동작원리를 설명하기로 한다.

<66> 도 7에 도시한 바와 같이, 로우(ROW)방향으로 제 1, 제 2 스플릿 워드라인(SLW1,SLW2)을 한 쌍으로 하는 복수개의 스플릿 워드라인쌍들이 형성되고, 스플릿 워드라인쌍들을 가로지르는 방향으로 형성되며 인접한 두 개의 비트라인을 한 쌍으로 하여 복수개의 비트라인(B/L1,B/L2)쌍들이 형성되고, 쌍을 이루는 비트라인 사이에는 양쪽의 비트라인을 통해 전달된 데이터를 센싱하여 데이터 라인(DL) 또는 데이터 바 라인(/DL)으로 전달하는 센싱앰프(SA)들이 형성된다. 이때, 센싱앰프(SA)들을 인에이블시키기 위한 인에이블 신호(SEN)를 출력하는 센싱앰프 인에이블부가 더 구비되고, 비트라인과 데이터 라인들을 선택적으로 스위칭하는 선택스위칭부(CS)가 더 구비된다.

<67> 도 8은 본 발명 불휘발성 강유전체 메모리 소자의 동작을 설명하기 위한 타이밍도이다.

<68> 도 8의 T0구간은 제 1 스플릿 워드라인(SWL1)과 제 2 스플릿 워드라인(SWL2)이 'H(High)'로 활성화되기 이전의 구간으로써, 모든 비트라인을 일정 레벨로 프리차지(Precharge)시킨다. T1구간은 제 1, 제 2 스플릿 워드라인(SWL1,SLW2)들이 모두 'H'가 되는 구간으로써, 강유전체 커패시터의 데이터가 비트라인에 전달되어 비트라인의 레벨이 변화된다. 이때 로직 'High'로 저장되었던 강유전체 커패시터는 비트라인과 스플릿 워드라인에 서로 반대극성의 전계가 가해지므로 강유전체의 극성이 파괴되면서 많은 전류가 흐르게 되어 비트라인에 높은 전압이 유기된다. 반면에 로직 'Low'로 저장되었던 강유전체 커패시터는 비트라인과 스플릿 워드라인에 동일한 극성의 전계가 가해지므로 강유전체의 극성이 파괴되지 않아 전류가 적게 흐르게 되어 비트라인에 약간 작은 전압을 유기하게 된다. 비트라인에 셀 데이터가 충분히 실리면 센싱앰프를 활성화시키기 위해 센싱

앰프 인에이블 신호(SEN)를 하이(High)로 천이시켜 비트라인의 레벨을 증폭하게 된다.
한편, 파괴된 셀의 로직 'H' 데이터는 제 1 스플릿 워드라인(SWL1)과 제 2 스플릿 워드라인(SWL2)이 하이(high)인 상태에서 복구할 수 없으므로 다음의 T2, T3구간에서 리스토어(Restore)될 수 있도록 한다.

<69> 이어, T2구간은 제 1 스플릿 워드라인(SWL1)은 로우(low)로 천이되고 제 2 스플릿 워드라인(SWL2)은 하이 상태를 계속 유지하는 구간으로써, 제 2 트랜지스터(T2)는 온(On)상태가 된다. 이때, 해당 비트라인이 하이 상태라면 하이 데이터가 제 2 강유전체 커패시터(FC2)의 한 쪽 전극에 전달되어 제 1 스플릿 워드라인(SWL1)의 로우(low)상태와 비트라인의 하이(high) 레벨 사이에 로직 1 상태가 복구된다.

<70> T3구간은 제 1 스플릿 워드라인(SWL1)이 다시 하이(high)로 천이되고 제 2 스플릿 워드라인(SWL2)은 로우(low)로 천이되는 구간으로써, 제 1 트랜지스터(T1)가 온(On) 상태가 된다. 이때, 해당 비트라인이 하이 상태라면 하이 데이터가 제 1 강유전체 커패시터(FC1)의 한 쪽 전극에 전달되므로써 제 2 스플릿 워드라인(SWL2)의 하이 레벨 사이에 로직 1 상태가 복구된다.

<71> 한편, 도 9는 본 발명 제 1 실시예에 따른 불휘발성 강유전체 메모리 소자의 구조 단면도로써, 단위 셀만을 도시하였다.

<72> 도 9에 도시한 바와 같이, 액티브 영역과 필드 영역으로 정의된 반도체 기판(100), 액티브 영역의 기판상에 형성된 제 1 스플릿 워드라인(102), 필드 영역의 기판상에 형성된 제 2 스플릿 워드라인(102a), 제 1 스플릿 워드라인(102) 양측의 기판내에 형성된 제 1 소오스/드레인 영역(103,104)(제 2 스플릿 워드라인 양측의 기판내에 형성된 제 2 소오스/드레인 영역(103a,104a)는 도시되지 않음), 제 1 절연층(105)을 관통하여 제 1 드

레인 영역에 연결되는 제 1 플러그(106)(제 2 드레인 영역(104a) 및 제 2 드레인 영역에 연결되는 제 1 플러그(106)는 도시되지 않음), 제 1 절연층(105)을 관통하여 제 1 소오스 영역(103)에 연결되는 제 2 플러그(107)(제 2 소오스 영역(103a) 및 제 2 소오스 영역에 연결되는 제 2 플러그(107)는 도시되지 않음), 상기 제 1 스플릿 워드라인(102)상의 제 1 절연층(105)상에 형성된 제 2 강유전체 커패시터의 제 1 전극(108a), 상기 제 2 스플릿 워드라인(102a)상의 제 1 절연층(105)상에 형성된 제 1 강유전체 커패시터의 제 1 전극(108), 상기 제 1 강유전체 커패시터의 제 1 전극(108)상에 형성된 제 1 강유전체 층(109), 상기 제 2 강유전체 커패시터의 제 1 전극(108a)상에 형성된 제 2 강유전체 층(109a), 상기 제 1, 제 2 강유전체 층(109, 109a)상에 각각 형성되고, 제 1, 제 2 스플릿 워드라인이 형성된 방향을 따라 서로 평행하며 비대칭적인 제 1 강유전체 커패시터의 제 2 전극(110)과 제 2 강유전체 커패시터의 제 2 전극(110a)(도시되지 않음), 상기 제 1 강유전체 커패시터의 제 2 전극(110)과 상기 제 1 소오스 영역(103)에 연결된 제 2 플러그(107)와 전기적으로 연결된 제 1 전도층(111)(상기 제 2 강유전체 커패시터의 제 2 전극과 상기 제 2 소오스 영역에 연결된 제 2 플러그와 전기적으로 연결되는 제 2 전도층(111a)은 도시되지 않음), 상기 제 1, 제 2 전도층(111, 111a)을 포함한 전면에 형성된 제 2 절연층(112), 상기 제 1 플러그(106)와 연결되도록 상기 제 2 절연층(112)을 관통하여 형성된 제 3 플러그(113)(제 2 스플릿 워드라인 일측의 제 1 드레인영역과 연결된 제 1 플러그(106)와 연결되는 제 3 플러그(113)는 도시되지 않음), 상기 제 3 플러그(113)와 연결되며 상기 제 1, 제 2 스플릿 워드라인(102, 102a)들을 가로지르는 방향으로 형성된 제 1 비트라인(114)(제 2 비트라인(114a)은 도시되지 않음)을 포함하여 구성된다

- <73> 여기서, 상기 제 1 플러그들과 강유전체 커패시터의 제 2 전극들 사이에 베리어층을 더 구성하는 것을 포함한다.
- <74> 상기 제 1 강유전체 커패시터의 제 2 전극(140)은 제 1 트랜지스터(T1)의 소오스 영역(제 1 소오스 영역)에 연결되고, 제 2 강유전체 커패시터의 제 2 전극(140a)은 제 2 트랜지스터의 소오스 영역(제 2 소오스 영역)에 연결된다.
- <75> 이와 같이 구성된 본 발명 불휘발성 강유전체 메모리 소자의 제조 방법을 보다 상세하게 설명하면 다음과 같다.
- <76> 도 10a 내지 도 10l은 본 발명 불휘발성 강유전체 메모리 소자의 레이아웃 공정도이고, 도 11a 내지 도 11l은 도 10a 내지 도 10i 각각의 I-I'선에 따른 단면도이다.
- <77> 먼저, 도 10a에 도시한 바와 같이, 제 1 도전형의 반도체 기판에 일정 간격을 두고 서로 평행하며 비대칭적인 제 1 액티브 영역(100a)과 제 2 액티브 영역(100b)을 정의한다. 액티브 영역(100a, 100b) 이외의 부분은 필드 영역(소자 격리층)(100c)으로써, 트렌치 아이솔레이션(Trench Isolation) 공정으로 형성한다.
- <78> 도 10b에 도시한 바와 같이, 각 액티브 영역(100a, 100b)들을 2등분할 수 있도록 액티브 영역을 가로지르는 방향을 따라 제 1 스플릿 워드라인(SWL1)(102)과 제 2 스플릿 워드라인(SWL2)(102a)을 형성한다. 이때, 제 1 스플릿 워드라인(102)은 제 1 트랜지스터(T1)의 게이트 전극이 되고 제 2 스플릿 워드라인(102a)은 제 2 트랜지스터(T2)의 게이트 전극이 된다. 이후, 도면에는 도시하지 않았지만 제 1 스플릿 워드라인(102) 양측의 기판에 기판과 반대 도전형의 불순물 이온을 주입하여 제 1 소오스/드레인 영역들을 형성하고 동시에 제 2 스플릿 워드라인(123a) 양측의 기판에도 제 2 소오스/드레인 영역들

을 형성한다.

<79> 도 10c에 도시한 바와 같이, 제 1, 제 2 드레인 불순물 영역에 각각 연결되는 제 1 플러그(106)들을 형성한다. 그리고 제 1, 제 2 소오스 불순물 영역에 각각 연결되는 제 2 플러그(107)들을 형성한다.

<80> 도 10d에 도시한 바와 같이, 제 1 스플릿 워드라인(102)상에 제 2 강유전체 커패시터의 제 1 전극(108a)을 형성하고, 제 2 스플릿 워드라인(102a)상에 제 1 강유전체 커패시터의 제 1 전극(108)을 형성한다.

<81> 이때, 제 1, 제 2 강유전체 커패시터의 제 1 전극(108,108a)들은 상기 제 1, 제 2 스플릿 워드라인(102,102a)들보다 작거나 동일한 폭으로 형성한다.

<82> 여기서, 상기 제 1 강유전체 커패시터의 제 1 전극(108)은 제 2 스플릿 워드라인(SWL2)과 외부에서 전기적으로 연결하고, 상기 제 2 강유전체 커패시터의 제 1 전극(108a)은 상기 제 1 스플릿 워드라인(SWL1)과 외부에서 전기적으로 연결한다.

<83> 도 10e에 도시한 바와 같이, 상기 제 1 강유전체 커패시터의 제 1 전극(108)상에 제 1 강유전체층(109)을 형성하고, 상기 제 2 강유전체 커패시터의 제 1 전극(108a)상에 제 2 강유전체층(109a)을 형성한다.

<84> 즉, 제 1, 제 2 강유전체 커패시터의 제 1 전극(108,108a)들을 포함한 전면에 강유전체층을 형성한 후, 제 1 강유전체 커패시터의 제 1 전극 및 제 2 강유전체 커패시터의 제 1 전극상에만 남도록 패터닝한다.

<85> 도 10f에 도시한 바와 같이, 상기 제 1, 제 2 강유전체층(109,109a)을 포함한 전면에 강유전체 커패시터의 제 2 전극물질을 증착한 후, 패터닝하여 상기 제 2 액티브

영역(100b) 일측의 상기 제 1 강유전체층(109)상에 제 1 강유전체 커패시터의 제 2 전극(110)과, 상기 제 1 액티브 영역(100a) 일측의 제 2 강유전체층(109a)상에 제 2 강유전체 커패시터의 제 2 전극(110a)을 형성한다.

<86> 이때, 제 1, 제 2 강유전체 커패시터의 제 2 전극(110,110a)들은 필드 영역의 상부에만 존재하도록 패터닝한다.

<87> 즉, 액티브 영역의 상부에 존재하는 강유전체 커패시터의 제 2 전극물질을 식각하여 제거함으로써, 액티브 영역을 중심으로 그 양측의 필드 영역에 강유전체 커패시터의 제 2 전극들을 형성한다.

<88> 이후, 도 10g에 도시한 바와 같이, 상기 제 1 소오스 영역(103)에 연결된 제 2 플러그(107)와 상기 제 1 강유전체 커패시터의 제 2 전극(110)을 전기적으로 연결하는 제 1 전도층(111)과, 상기 제 2 소오스 영역(103a)에 연결된 제 2 플러그(107)와 상기 제 2 강유전체 커패시터의 제 2 전극(110a)을 전기적으로 연결하는 제 2 전도층(111a)을 형성한다.

<89> 여기서, 상기 강유전체 커패시터의 제 2 전극을 액티브 영역을 중심으로 분리되도록 형성함으로써, 상기 제 1 전도층(111)과 제 2 전도층(111a)을 형성할 때, 공정 마진을 확보할 수 있다.

<90> 즉, 제 1 액티브 영역과 일정거리를 두고 제 2 액티브 영역이 비대칭적으로 형성되어 있기 때문에 상기 제 2 전극들을 상기 비대칭적으로 형성된 액티브 영역을 중심으로 그 양쪽에 형성함으로써, 제 2 플러그들과 제 2 전극들을 전기적으로 연결하는 제 1, 제 2 전도층을 서로 인접되게 형성하지 않아도 되므로 공정의 여유도를 확보할 수가 있다.

- <91> 또한, 제 1 전도층과 제 2 전도층을 형성함에 있어서, 중간절연막을 형성한 후, 콘택홀을 형성하여 상기 콘택홀을 통해 제 2 플러그들과 강유전체 커패시터의 제 2 전극들을 연결하는 것이 아니라 강유전체 커패시터의 제 2 전극과 제 2 플러그를 직접 연결함으로써 공정을 보다 간소화할 수 있다.
- <92> 이어, 도 10h에 도시한 바와 같이, 상기 제 1, 제 2 전도층(111,111a)을 포함한 전면에 제 2 절연층(도시되지 않음)을 형성한 후, CMP공정으로 평탄화한다.
- <93> 이후, 제 1, 제 2 드레인 영역(104,104a)에 각각 연결된 제 1 플러그(106)들과 각각 연결되도록 제 3 플러그(113)를 형성한다.
- <94> 이어서, 도 10i에 도시한 바와 같이, 상기 제 1 드레인 영역(104)에 연결되는 제 3 플러그(113)와 전기적으로 연결되며 제 1, 제 2, 스플릿 워드라인(102,102a)을 가로지르는 제 1 비트라인(114)과, 상기 제 2 드레인 영역(104a)에 연결되는 제 3 플러그(113)와 전기적으로 연결되며 제 1, 제 2 스플릿 워드라인(102,102a)을 가로지르는 방향으로 제 2 비트라인(114a)을 형성하면 본 발명 제 1 실시예에 따른 불휘발성 강유전체 메모리 소자의 레이아웃 공정이 완료된다.
- <95> 이와 같은 본 발명 불휘발성 강유전체 메모리 소자의 제조방법을 공정단면도를 참조하여 설명하면 다음과 같다.
- <96> 도 11a에 도시한 바와 같이, 반도체 기판(100)을 액티브 영역(100a,100b)과 필드 영역(100c)으로 정의한다. 이때, 필드 영역은 트렌치 아이솔레이션(Trench Isolation) 공정에 의해 형성된다.
- <97> 도 11b에 도시한 바와 같이, 기판(100)상의 액티브 영역 및 필드 영역에 게이트 절

연막(101)을 개재하여 제 1 스플릿 워드라인(102)과 제 2 스플릿 워드라인(102a)을 형성한다. 여기서, 제 1 스플릿 워드라인(102)은 제 1 트랜지스터(T1)의 게이트 전극으로 사용되고, 제 2 스플릿 워드라인(102a)은 제 2 트랜지스터(T2)의 게이트 전극으로 사용된다. 이후, 제 1, 제 2 스플릿 워드라인(102,102a)을 마스크로 이용한 불순물 이온주입으로 제 1 트랜지스터(T1)의 소오스/드레인으로 사용될 제 1 소오스/드레인 영역(103,104)과 제 2 트랜지스터(T2)의 소오스/드레인으로 사용될 제 2 소오스/드레인 영역(103a,104a)(도시되지 않음)을 형성한다.

<98> 도 11c에 도시한 바와 같이, 제 1, 제 2 스플릿 워드라인(102,102a)을 포함한 기판 전면에 제 1 절연층(105)을 형성한다. 이때, 제 1 절연층(105)의 물질로서는 ILD층을 사용한다. 이후, 화학기계적 경면연마법(chemical Mechanical Polishing: CMP)을 이용하여 제 1 절연층(105)을 평탄화시키고, 제 1, 제 2 소오스 영역(103,103a)과 제 1, 제 2 드레인 영역(104,104a)이 노출되도록 제 1 절연층(105)을 패터닝하여 콘택홀을 형성한다. 콘택홀내에 폴리실리콘 또는 텅스텐 등과 같은 금속을 매립하여 제 1 트랜지스터(T1) 및 제 2 트랜지스터(T2)의 드레인으로 사용되는 제 1, 제 2 드레인 영역(104,104a)에 연결되는 제 1 플러그(106)들과, 제 1 트랜지스터(T1) 및 제 2 트랜지스터(T2)의 소오스로 사용되는 제 1, 제 2 소오스 영역(103,103a)에 연결되는 제 2 플러그(107)들을 형성한다.

<99> 상기 플러그들의 물질로써는 텅스텐 등과 같은 금속이나 폴리실리콘을 사용한다.

<100> 도 11d에 도시한 바와 같이, 상기 플러그들을 포함한 전면에 강유전체 커패시터의 제 1 전극물질층을 형성한 후, 상기 제 1 스플릿 워드라인(102) 및 제 2 스플릿 워드라인(102a)상에만 남도록 패터닝하여, 상기 제 1 스플릿 워드라인(102)상에 제 2 강유전체

커패시터의 제 1 전극(108a)을 형성하고, 상기 제 2 스플릿 워드라인(102a)상에 제 1 강유전체 커패시터의 제 1 전극(108)을 형성한다.

<101> 여기서, 상기 제 1 전극들을 형성하기 이전에 베리어층을 형성하는 것이 가능하다.

<102> 도 11e에 도시한 바와 같이, 제 1 강유전체 커패시터의 제 1 전극(108) 표면상에 제 1 강유전체층(109)을 형성하고, 제 2 강유전체 커패시터의 제 1 전극(108a) 표면상에 제 2 강유전체층(109a)을 형성한다.

<103> 즉, 강유전체층이 제 1 전극의 상부면 및 양측면을 감싸도록 형성한다.

<104> 도 11f에 도시한 바와 같이, 상기 제 1, 제 2 강유전체층(109, 109a)을 포함한 전면 에 강유전체 커패시터의 제 2 전극물질층을 형성한 후, 패터닝하여 상기 제 1 강유전체층(109)의 표면상에 형성되는 제 1 강유전체 커패시터의 제 2 전극(110)과, 상기 제 2 강유전체층(109a)의 표면상에 형성되는 제 2 강유전체 커패시터의 제 2 전극(110a)(도시되지 않음)을 형성한다.

<105> 이때, 상기 제 1 강유전체 커패시터의 제 2 전극(110)은 상기 제 2 액티브 영역(100b) 일측의 상기 제 1 강유전체층(109)상에만 남도록 형성하고, 제 2 강유전체 커패시터의 제 2 전극(110a)은 상기 제 1 액티브 영역(100a) 일측의 상기 제 2 강유전체층(109a)상에만 남도록 패터닝한다.

<106> 즉, 액티브 영역 상부에 형성된 강유전체 커패시터의 제 2 전극물질층을 제거하여 상기 제 2 전극들이 필드 영역의 상부에만 존재하도록 한다.

<107> 참고적으로 도 11f는 도 10f의 I-I'선에 따른 단면이므로 제 2 강유전체 커패시터의 제 2 전극(110a)은 도시되지 않는다.

- <108> 도 11g에 도시한 바와 같이, 제 1 소오스 영역(103)에 연결된 제 2 플러그(107)와 상기 제 1 강유전체 커패시터의 제 2 전극(110)을 전기적으로 연결하기 위한 제 1 전도층(111)과, 상기 제 2 소오스 영역(103a)에 연결된 제 2 플러그(107)와 상기 제 2 강유전체 커패시터의 제 2 전극(110a)을 전기적으로 연결하기 위한 제 2 전도층(111a)(도시되지 않음)을 형성한다.
- <109> 참고적으로 도면에는 제 1 전도층(111)만이 도시된다.
- <110> 이때, 상기 제 1 전도층(111)과 제 2 전도층(111a)을 별도로 형성하지 않고, 상기 제 1, 제 2 강유전체 커패시터의 제 2 전극을 형성할 때, 상기 제 1 강유전체 커패시터의 제 2 전극(110a)이 상기 제 1 소오스 영역(103)에 연결된 제 2 플러그(107)와 연결될 수 있도록 충분한 폭을 갖도록 형성하고, 상기 제 2 강유전체 커패시터의 제 2 전극(110a)이 상기 제 2 소오스 영역(103a)에 연결된 제 2 플러그(107)와 연결될 수 있도록 충분한 폭을 갖도록 형성하는 것이 가능하다.
- <111> 도 11h에 도시한 바와 같이, 상기 제 1, 제 2 전도층(111, 111a)을 포함한 전면에서 제 2 절연층(112)을 형성한 후, CMP공정을 이용하여 상기 제 2 절연층(112)의 상부면을 평탄화시킨다.
- <112> 그리고, 상기 제 1 드레인 영역(104)에 연결되는 제 1 플러그(106) 및 상기 제 2 드레인 영역(104a)에 연결되는 제 1 플러그(106)가 노출되도록 제 2 절연층(112)을 선택적으로 제거하여 콘택홀을 형성한다. 상기 콘택홀내에 도전성 물질을 매립하여 각각 제 1 플러그(106)들과 연결되는 제 3 플러그(113)들을 형성한다.
- <113> 참고적으로 도면에는 제 2 드레인 영역에 연결된 제 1 플러그(106)와 연결되는 제

3 플러그(113)는 도시되지 않는다.

<114> 도 11i에 도시한 바와 같이, 상기 제 3 플러그(113)들을 포함한 전면에 비트라인 물질층을 형성한 후, 패터닝하여 상기 제 3 플러그(113)들과 각각 연결되는 제 1 비트라인(114)과 제 2 비트라인(114a)(도시되지 않음)을 각각 형성한다.

<115> 이때, 제 1 비트라인(114)은 상기 제 1 드레인 영역(104)에 연결되는 제 1 플러그(106)와 연결되고, 제 2 비트라인(114a)은 상기 제 2 드레인 영역(104a)에 연결되는 제 1 플러그(106)와 연결된다.

<116> 그리고 상기 제 1, 제 2 비트라인(114, 114a)은 상기 제 1, 제 2 스플릿 워드라인(102, 102a)을 가로지르는 방향으로 형성된다.

<117> 한편, 도 12는 본 발명 제 2 실시예에 따른 불휘발성 강유전체 메모리 소자의 구조 단면도이다.

<118> 본 발명 제 2 실시예는 제 1 실시예와 비교하여 강유전체 커패시터의 제 2 전극들을 형성하는 위치가 상이하다.

<119> 즉, 본 발명 제 1 실시예는 액티브 영역 상부에 존재하는 강유전체 커패시터의 제 2 전극물질을 식각하여 제거하므로써, 제 1, 제 2 강유전체 커패시터의 제 2 전극들이 필드 영역상에만 존재하도록 구성한다.

<120> 따라서, 제 1 강유전체 커패시터의 제 2 전극과 제 2 강유전체 커패시터의 제 2 전극은 서로 비대칭적으로 형성된다.

<121> 하지만, 본 발명 제 2 실시예는 제 1 강유전체 커패시터의 제 2 전극과 제 2 강유전체 커패시터의 제 2 전극이 서로 평행하며 정방형이 되도록 형성한다.

- <122> 즉, 칼럼(Column) 방향으로 서로 평행하게 제 1 액티브 영역과 제 2 액티브 영역이 형성되고, 상기 제 1 액티브 영역에서부터 제 2 액티브 영역에 걸쳐 로우(Row) 방향으로 제 1, 제 2 강유전체 커패시터의 제 2 전극들을 형성한다.
- <123> 이와 같은 본 발명 제 2 실시예에 따른 불휘발성 강유전체 메모리 소자 및 그 제조 방법을 설명하기로 한다.
- <124> 도 12는 본 발명 제 2 실시예에 따른 불휘발성 강유전체 메모리 소자의 구조단면도로써, 단위 셀을 예로 한 것이다.
- <125> 도 12에 도시한 바와 같이, 액티브 영역과 필드 영역으로 정의된 반도체 기판(100), 필드 영역의 기판상에 형성된 제 1 스플릿 워드라인(102), 액티브 영역의 기판상에 형성된 제 2 스플릿 워드라인(102a), 제 1 스플릿 워드라인(102) 양측의 액티브 영역 내에 형성된 제 1 소오스/드레인 영역(103,104), 제 2 스플릿 워드라인(102a) 양측의 액티브 영역내에 형성된 제 2 소오스/드레인 영역(103a/104a)(도시되지 않음), 제 1 절연층(105)을 관통하여 상기 제 1 드레인 영역(104)에 연결되는 제 1 플러그(106)(제 2 드레인 영역 및 상기 제 2 드레인 영역에 연결되는 제 1 플러그는 도시되지 않음), 상기 제 1 절연층(105)을 관통하여 제 1 소오스 영역(103)에 연결되는 제 2 플러그(107)(상기 제 2 소오스 영역 및 상기 제 2 소오스 영역에 연결되는 제 2 플러그는 도시되지 않음), 상기 제 1 스플릿 워드라인(102) 상부의 제 1 절연층(105)상에 형성된 제 2 강유전체 커패시터의 제 1 전극(108a), 상기 제 2 스플릿 워드라인(102a) 상부의 제 1 절연층(105)상에 형성된 제 1 강유전체 커패시터의 제 1 전극(108), 상기 제 1 강유전체 커패시터의 제 1 전극(108)상에 형성된 제 1 강유전체층(109), 상기 제 2 강유전체 커패시터의 제 1 전극(108a)상에 형성된 제 2 강유전체층(109a), 상기 제 1 강유전체층(109)상에 형성된

제 1 강유전체 커패시터의 제 2 전극(110), 상기 제 2 강유전체층(109a)상에 형성되는 제 2 강유전체 커패시터의 제 2 전극(110a), 상기 제 1 소오스 영역(103)에 연결된 제 2 플러그(107)와 상기 제 1 강유전체 커패시터의 제 2 전극(110)을 전기적으로 연결하는 제 1 전도층(111)(상기 제 2 소오스 영역에 연결된 제 2 플러그를 상기 제 2 강유전체 커패시터의 제 2 전극(110a)과 연결하는 제 2 전도층(111a)은 도시되지 않음), 상기 제 1 전도층(111) 및 제 2 전도층(111a)을 포함한 전면에 형성된 제 2 절연층(112)과, 상기 제 1 드레인 영역(104)에 연결된 제 1 플러그(106)와 전기적으로 연결된 제 3 플러그(113)(제 2 드레인 영역에 연결되는 제 1 플러그와 연결된 제 3 플러그는 도시되지 않음), 상기 각각의 제 3 플러그(113)와 연결되는 제 1 비트라인(114) 및 제 2 비트라인(114a)(도시되지 않음)을 포함하여 구성된다.

<126> 이와 같이 구성된 본 발명 제 2 실시예에 따른 불휘발성 강유전체 메모리 소자 및 그 제조방법을 보다 상세하게 설명하기로 한다.

<127> 먼저, 도 13a 내지 13i는 본 발명 제 2 실시예에 따른 불휘발성 강유전체 메모리 소자의 레이아웃 공정도이다.

<128> 도 13a에 도시한 바와 같이, 제 1 도전형의 반도체 기판에 일정간격을 두고 서로 평행하며 비대칭적인 액티브 영역(100a, 100b))들을 정의한다.

<129> 액티브 영역(100a, 100b) 이외의 부분은 필드 영역(소자격리층)으로써, 트렌치 아이슬레이션 공정으로 형성한다.

<130> 도 13b에 도시한 바와 같이, 각 액티브 영역(100a, 100b)을 2등분할 수 있도록 액티브 영역을 가로지르는 방향을 따라 제 1 스플릿 워드라인(SWL1)(102)과 제 2 스플릿 워드라인(SWL2)(104)을 형성한다.

드라인(SWL2)(102a)을 형성한다.

<131> 이때, 제 1 스플릿 워드라인(102)은 제 1 트랜지스터의 게이트 전극이 되고, 제 2 스플릿 워드라인(102a)은 제 2 트랜지스터의 게이트 전극이 된다.

<132> 이후, 도면에는 도시되지 않았지만, 제 1 스플릿 워드라인 양측의 제 1 액티브 영역내에 상기 기판과 반대도전형의 불순물 이온을 주입하여 제 1 소오스/드레인 영역을 형성하고, 제 2 스플릿 워드라인 양측의 제 2 액티브 영역내에 제 2 소오스/드레인 영역을 형성한다.

<133> 도 13c에 도시한 바와 같이, 제 1, 제 2 드레인 영역에 각각 연결되는 제 1 플러그(106)들을 형성한다. 그리고 제 1, 제 2 소오스 영역에 각각 연결되는 제 2 플러그(107)들을 형성한다.

<134> 도 13d에 도시한 바와 같이, 제 1 스플릿 워드라인(102)상에 제 2 강유전체 커패시터의 제 1 전극(108a)을 형성하고, 제 2 스플릿 워드라인(102a)상에 제 1 강유전체 커패시터의 제 1 전극(108)을 형성한다.

<135> 이때, 상기 제 1, 제 2 강유전체 커패시터의 제 1 전극(108,108a)들은 상기 제 1, 제 2 스플릿 워드라인(102,102a)들보다 작거나 동일한 폭으로 형성한다.

<136> 여기서, 상기 제 1 강유전체 커패시터의 제 1 전극(108)은 상기 제 2 스플릿 워드라인(102a)과 외부에서 전기적으로 연결되고, 제 2 강유전체 커패시터의 제 1 전극(108a)은 상기 제 1 스플릿 워드라인(102)과 전기적으로 연결된다.

<137> 도 13e에 도시한 바와 같이, 상기 제 1 강유전체 커패시터의 제 1 전극(108)상에 제 1 강유전체층(109)을 형성하고, 상기 제 2 강유전체 커패시터의 제 2 전극(108a)상에

제 2 강유전체층(109a)을 형성한다.

<138> 즉, 제 1, 제 2 강유전체 커패시터의 제 1 전극(108,108a)들을 포함한 전면에 강유전체 물질을 증착한 후, 제 1 강유전체 커패시터의 제 1 전극 및 제 2 강유전체 커패시터의 제 1 전극상에만 남도록 패터닝한다.

<139> 도 13f에 도시한 바와 같이, 상기 제 1, 제 2 강유전체층(109,109a)들을 포함한 전면에 강유전체 커패시터의 제 2 전극물질을 증착한 후, 패터닝하여 제 1 강유전체 커패시터의 제 2 전극(110)과 제 2 강유전체 커패시터의 제 2 전극(110a)을 형성한다.

<140> 여기서, 제 1 강유전체 커패시터의 제 2 전극(110)은 제 2 액티브 영역중 소오스와 드레인 영역 사이의 영역에서부터 상기 제 1 액티브 영역 하부의 필드 영역에까지 이르게도록 형성하고, 상기 제 2 강유전체 커패시터의 제 2 전극(110a)은 제 2 액티브 영역 상부의 필드영역에서부터 상기 제 1 액티브 영역의 소오스와 드레인 사이의 영역에까지 이르게도록 형성한다.

<141> 따라서, 제 1 강유전체 커패시터의 제 2 전극(110)과 제 2 강유전체 커패시터의 제 2 전극(110a)은 제 1 스플릿 워드라인(102)과 제 2 스플릿 워드라인(102a)이 형성된 방향을 따라 두 전극이 서로 평행하며 대칭적으로 형성된다.

<142> 이후, 도 13g에 도시한 바와 같이, 상기 제 1 소오스 영역(103)에 연결된 제 2 플러그(107)와 상기 제 1 강유전체 커패시터의 제 2 전극(110)을 전기적으로 연결하는 제 1 전도층(111)과, 상기 제 2 소오스 영역(103a)에 연결된 제 2 플러그(107)와 상기 제 2 강유전체 커패시터의 제 2 전극(110a)을 전기적으로 연결하는 제 2 전도층(111a)을 형성한다.

- <143> 여기서, 제 1 전도층(111)과 제 2 전도층(111a)을 형성함에 있어서, 층간절연막을 형성한 후, 콘택홀을 형성하고, 상기 콘택홀을 통해 제 2 플러그들(107)과 각각의 제 2 전극들을 연결하는 것이 아니라 상기 제 2 전극들과 제 2 플러그들을 직접 연결하므로 공정을 보다 간소화할 수 있다.
- <144> 이어, 도 13h에 도시한 바와 같이, 상기 제 1, 제 2 전도층(111,111a)을 포함한 전면에 제 2 절연층(도시되지 않음)을 형성한 후, CMP공정으로 평탄화한다.
- <145> 이후, 제 1, 제 2 드레인 영역(104,104a)에 각각 연결된 제 1 플러그(106)들과 각각 연결되도록 제 3 플러그(113)들을 형성한다.
- <146> 이어, 도 13i에 도시한 바와 같이, 상기 제 1 드레인 영역(104)에 연결되는 제 3 플러그(113)와 전기적으로 연결되며 상기 제 1, 제 2 스플릿 워드라인(102,102a)들을 가로지르는 제 1 비트라인(114)과, 상기 제 2 드레인 영역(104a)에 연결되는 제 3 플러그(113)와 전기적으로 연결되며 상기 제 1, 제 2 스플릿 워드라인(102,102a)들을 가로지르는 제 2 비트라인(114a)을 형성하면, 본 발명 제 2 실시예에 따른 불휘발성 강유전체 메모리 소자의 레이아웃 공정이 완료된다.
- <147> 이와 같은 본 발명 제 2 실시예에 따른 불휘발성 강유전체 메모리 소자의 제조방법을 공정단면도를 참조하여 설명하면 다음과 같다.
- <148> 도 14a 내지 14i는 본 발명 제 2 실시예에 따른 불휘발성 강유전체 메모리 소자의 제조공정 단면도이다.
- <149> 도 14a에 도시한 바와 같이, 반도체 기판(100)을 액티브 영역(100a,100b)과 필드 영역(100c)으로 정의한다. 이때, 필드 영역은 트렌치 아이솔레이션 공정에 의해 형성된

다.

<150> 도 14b에 도시한 바와 같이, 기판상의 액티브 영역 및 필드 영역에 게이트 절연막 (101)을 개재하여 제 1 스플릿 워드라인(102)과 제 2 스플릿 워드라인(102a)을 형성한다

<151> 여기서, 제 1 스플릿 워드라인(102)은 제 1 트랜지스터(T1)의 게이트 전극으로 사용되고, 제 2 스플릿 워드라인(102a)은 제 2 트랜지스터(T2)의 게이트 전극으로 사용된다.

<152> 이후, 제 1, 제 2 스플릿 워드라인(102,102a)을 마스크로 이용한 불순물 이온주입으로 상기 제 1 트랜지스터의 소오스/드레인으로 사용될 제 1 소오스/드레인 영역 (103,104)과 제 2 트랜지스터의 소오스/드레인으로 사용될 제 2 소오스/드레인 영역 (103a/104a)(도시되지 않음)을 형성한다.

<153> 도 14c에 도시한 바와 같이, 제 1, 제 2 스플릿 워드라인(102,102a)을 포함한 기판 전면에 제 1 절연층(105)을 형성한다.

<154> 이후, CMP공정으로 상기 제 1 절연층(105)의 상부면을 평탄화시키고, 제 1, 제 2 소오스 영역(103,103a)과 제 1, 제 2 드레인 영역(104,104a)이 노출되도록 제 1 절연층 (105)을 패터닝하여 콘택홀을 형성한다.

<155> 콘택홀내에 텅스텐 등의 금속 또는 폴리실리콘을 매립하여 제 1, 제 2 드레인 영역 (104,104a)에 연결되는 제 1 플러그(106)들을 형성하고, 제 1, 제 2 소오스 영역 (103,103a)에 연결되는 제 2 플러그(107)들을 형성한다.

<156> 도 14d에 도시한 바와 같이, 상기 제 1 플러그(106) 및 제 2 플러그(107)들을 포함

한 전면에 강유전체 커패시터의 제 1 전극물질층을 형성한 후, 상기 제 1 스플릿 워드라인(102) 및 제 2 스플릿 워드라인(102a)상에만 남도록 패터닝하여 상기 제 1 스플릿 워드라인(102)상에 제 2 강유전체 커패시터의 제 1 전극(108a)을 형성하고, 상기 제 2 스플릿 워드라인(102a)상에 제 1 강유전체 커패시터의 제 1 전극(108)을 형성한다.

<157> 여기서, 상기 제 1 스플릿 워드라인(102)과 제 2 강유전체 커패시터의 제 1 전극(108a)은 외부에서 전기적으로 연결되고, 제 2 스플릿 워드라인(102a)과 제 1 강유전체 커패시터의 제 1 전극(108) 또한 외부에서 전기적으로 연결된다.

<158> 한편, 상기 제 1 전극들을 형성하기 이전에 베리어층을 형성하는 것이 가능하다.

<159> 이어서, 도 14e에 도시한 바와 같이, 제 1 강유전체 커패시터의 제 1 전극(108)표면상에 제 1 강유전체층(109)을 형성하고, 제 2 강유전체 커패시터의 제 1 전극(108a)표면상에 제 2 강유전체층(109a)을 형성한다.

<160> 즉, 강유전체층이 상기 제 1 전극들의 상부면 및 양측면을 감싸도록 형성한다.

<161> 도 14f에 도시한 바와 같이, 상기 제 1, 제 2 강유전체층(109, 109a)을 포함한 전면 에 강유전체 커패시터의 제 2 전극물질층을 형성한 후, 패터닝하여 상기 제 1 강유전체층(109)의 표면상에 형성되는 제 1 강유전체 커패시터의 제 2 전극(110)과, 상기 제 2 강유전체층(109a)의 표면상에 형성되는 제 2 강유전체 커패시터의 제 2 전극(110a)을 형성한다.

<162> 이때, 상기 제 1 강유전체 커패시터의 제 2 전극(110)은 제 2 액티브 영역(100b)중 소오스와 드레인 사이의 영역에서부터 제 1 액티브 영역(100a) 하부의 필드 영역에까지 형성하고, 제 2 강유전체 커패시터의 제 2 전극(110a)은 제 1 액티브 영역(100a)중 소오

스와 드레인 사이의 영역에서부터 제 2 액티브 영역(100b) 상부의 필드 영역에까지 형성한다.

<163> 따라서, 제 1 강유전체 커패시터의 제 2 전극(110)과 제 2 강유전체 커패시터의 제 2 전극(110a)은 서로 일정거리를 두고 평행하며 대칭적으로 형성된다.

<164> 도 14g에 도시한 바와 같이, 제 1 소오스 영역(103)에 연결된 제 2 플러그(107)와 상기 제 1 강유전체 커패시터의 제 2 전극(110)을 전기적으로 연결하기 위한 제 1 전도층(111)과, 상기 제 2 소오스 영역(도시되지 않음)에 연결된 제 2 플러그(도시되지 않음)와 상기 제 2 강유전체 커패시터의 제 2 전극(110a)을 전기적으로 연결하기 위한 제 2 전도층(111a)(도시되지 않음)을 형성한다.

<165> 참고적으로, 도 14g는 도 13g의 I-I'선에 따른 단면이므로 제 2 전도층은 도시되지 않는다.

<166> 이어, 도 14h에 도시한 바와 같이, 상기 제 1 전도층(111) 및 제 2 전도층(111a)을 포함한 전면에 제 2 절연층(112)을 형성한 후, CMP공정으로 제 2 절연층(112)의 상부면을 평탄화시킨다.

<167> 그리고, 제 1 드레인 영역(104)에 연결된 제 1 플러그(106) 및 상기 제 2 드레인 영역(104a)(도시되지 않음)에 연결된 제 1 플러그(106)(도시되지 않음)가 노출되도록 제 2 절연층(112)을 선택적으로 제거하여 콘택홀을 형성한다.

<168> 상기 콘택홀내에 도전성 물질 예컨대, 텅스텐 등의 금속 또는 폴리실리콘을 매립하여 각각 제 1 플러그(106)들과 연결되는 제 3 플러그(113)들을 형성한다.

<169> 참고적으로 도면에는 제 2 드레인 영역에 연결된 제 1 플러그 및 상기 제 1 플러그

와 연결되는 제 3 플러그는 도시되지 않는다.

<170> 도 11i에 도시한 바와 같이, 상기 제 3 플러그(113)들을 포함한 전면에 비트라인 물질층을 형성한 후, 패터닝하여 상기 제 3 플러그(113)들과 각각 연결되는 제 1 비트라인(114)과 제 2 비트라인(114a)(도시되지 않음)을 형성한다.

<171> 이때, 제 1 비트라인(114)은 제 1 플러그(106)를 통해 제 1 드레인 영역(104)에 연결되는 제 3 플러그(113)와 연결되고 상기 제 2 비트라인(114a)은 상기 제 1 플러그(106)를 통해 제 2 드레인 영역(104a)에 연결되는 제 3 플러그(113)와 연결된다.

<172> 그리고, 상기 제 1 비트라인(114) 및 제 2 비트라인(114a)은 상기 제 1, 제 2 스플릿 워드라인(102, 102a)을 가로지르는 방향으로 형성된다.

<173> 이와 같은 본 발명 제 2 실시예는 제 1 강유전체 커패시터의 제 1 전극과 제 2 강유전체 커패시터의 제 2 전극이 각각 제 2 스플릿 워드라인 및 제 1 스플릿 워드라인을 따라 서로 평행하며 대칭적으로 형성된다.

【발명의 효과】

<174> 이상 상술한 바와 같이, 본 발명의 불휘발성 메모리 소자 및 그 제조방법은 다음과 같은 효과가 있다.

<175> 첫째, 각 강유전체 커패시터의 제 2 전극들과 기판을 전기적으로 연결하기 위한 공정 마진을 확보할 수 있어 공정 진행이 용이하다.

<176> 즉, 커패시터의 제 2 전극들이 서로 평행하며 비대칭적으로 형성되기 때문에 제 2 전극들을 기판과 연결된 제 2 플러그들과 연결시키기 위한 제 1 전도층과 제 2 전도층을 형성하기 위한 공정 마진을 확보할 수 있다.

<177> 둘째, 강유전체 커패시터의 제 2 전극들과 기판과 연결된 제 2 플러그들을 연결하는 제 1, 제 2 전도층을 상기 제 2 전극들과 직접 연결되도록 형성하므로서, 콘택홀을 통해 연결되는 것에 비해 공정을 보다 간소화할 수 있으며 마스크 수의 감소에 따른 코스트를 절감시킬 수 있다.

<178> 셋째, 셀 레이아웃 면적을 효율적으로 감소시킬 수 있다.

【특허청구범위】

【청구항 1】

제 1 액티브 영역과, 상기 제 1 액티브 영역과 소정 간격을 두고 서로 평행하며 비 대칭적으로 형성된 제 2 액티브 영역;

상기 액티브 영역을 각각 가로지르는 제 1, 제 2 스플릿 워드라인;

상기 제 1, 제 2 스플릿 워드라인 양측의 제 1, 제 2 액티브 영역에 각각 형성된 제 1, 제 2 소오스/드레인 영역들;

상기 제 1, 제 2 드레인 영역에 콘택홀을 통해 연결되는 제 1 플러그들;

상기 제 1, 제 2 소오스 영역에 콘택홀을 통해 연결되는 제 2 플러그들;

상기 제 2, 제 1 스플릿 워드라인 상부에 각각 형성된 제 1, 제 2 강유전체 커패 시터의 제 1 전극들;

상기 제 1, 제 2 강유전체 커패시터의 제 1 전극상에 각각 형성된 제 1, 제 2 강유 전체층;

상기 제 1, 제 2 강유전체층의 표면상에 각각 형성되고 상기 제 1, 제 2 스플릿 워드라인에 대해 폴디드(folded) 형태를 갖는 섬모양의 제 1, 제 2 강유전체 커패시터의 제 2 전극들;

상기 제 1, 제 2 소오스 영역에 연결된 제 2 플러그들을 각각 상기 제 1, 제 2 강 유전체 커패시터의 제 2 전극과 연결하는 제 1, 제 2 전도층;

상기 제 1, 제 2 드레인 영역에 연결된 제 1 플러그들과 각각 연결되며 상기 제 1,

제 2 스플릿 워드라인을 가로지르는 방향으로 형성된 제 1, 제 2 비트라인을 포함하는 것을 특징으로 하는 불휘발성 강유전체 메모리 소자.

【청구항 2】

제 1 항에 있어서, 상기 제 1, 제 2 비트라인과 상기 제 1 플러그들 사이에 제 3 플러그들을 더 구성하는 것을 포함함을 특징으로 불휘발성 강유전체 메모리 소자.

【청구항 3】

제 1 항에 있어서, 상기 제 1 전도층은 상기 제 1 강유전체 커패시터의 제 2 전극과 상기 제 1 소오스 영역에 연결된 제 2 플러그를 직접적으로 연결하고, 상기 제 2 전도층은 상기 제 2 강유전체 커패시터의 제 2 전극과 상기 제 2 소오스 영역에 연결된 제 2 플러그를 직접적으로 연결하는 것을 특징으로 하는 불휘발성 강유전체 메모리 소자.

【청구항 4】

제 1 항에 있어서, 상기 제 1 스플릿 워드라인과 상기 제 2 강유전체 커패시터의 제 1 전극 그리고 상기 제 2 스플릿 워드라인과 상기 제 1 강유전체 커패시터의 제 1 전극은 각각 전기적으로 연결되는 것을 특징으로 하는 불휘발성 강유전체 메모리 소자.

【청구항 5】

제 1 항에 있어서, 상기 제 1, 제 2 강유전체 커패시터의 제 2 전극들은 각각 상기 액티브 영역들을 중심으로 그 양측의 필드 영역상에 형성되는 것을 특징으로 하는 불휘발성 강유전체 메모리 소자.

【청구항 6】

제 1 항에 있어서, 상기 제 1, 제 2 강유전체 커패시터의 제 2 전극들은 상기 제

1, 제 2 스플릿 워드라인 또는 비트라인에 대해 서로 평행하며 대칭적인 섬모양인 것을 포함함을 특징으로 하는 불휘발성 강유전체 메모리 소자.

【청구항 7】

반도체 기판을 제 1 액티브 영역과 제 2 액티브 영역으로 정의하는 공정;

상기 제 1, 제 2 액티브 영역을 각각 가로지르는 제 1, 제 2 스플릿 워드라인을 형성하는 공정;

상기 제 1, 제 2 스플릿 워드라인 양측의 제 1, 제 2 액티브 영역에 각각 제 1, 제 2 소오스/드레인 영역을 형성하는 공정;

콘택홀을 통해 상기 제 1, 제 2 드레인 영역에 연결되는 제 1 플러그들 과 상기 제 1, 제 2 소오스 영역에 연결되는 제 2 플러그들을 형성하는 공정;

상기 제 2, 제 1 스플릿 워드라인 상부에 제 1, 제 2 강유전체 커패시터의 제 1 전극을 각각 형성하는 공정;

상기 제 1, 제 2 전극상에 각각 제 1, 제 2 강유전체층을 형성하는 공정;

상기 제 1, 제 2 강유전체층의 표면상에 각각 형성되고, 상기 제 1, 제 2 스플릿 워드라인에 대해 폴디드(folded) 형태를 갖는 섬모양의 제 1, 제 2 강유전체 커패시터의 제 2 전극들을 형성하는 공정;

상기 제 1, 제 2 소오스 영역에 각각 연결된 제 2 플러그들을 상기 제 1, 제 2 강유전체 커패시터의 제 2 전극들과 연결하는 제 1, 제 2 전도층을 각각 형성하는 공정;

상기 제 1, 제 2 드레인 영역에 연결된 제 1 플러그들과 각각 연결되며 상기 제 1, 제 2 스플릿 워드라인을 가로지르는 방향으로 형성된 제 1, 제 2 비트라인을 형성하는

공정을 포함하여 이루어지는 것을 특징으로 하는 불휘발성 강유전체 메모리 소자 제조방법.

【청구항 8】

제 7 항에 있어서, 상기 제 1 액티브 영역과 상기 제 2 액티브 영역은 서로 일정 간격을 두고 평행하며 비대칭적으로 형성하는 것을 특징으로 하는 불휘발성 강유전체 메모리 소자 제조방법.

【청구항 9】

제 7 항에 있어서, 상기 제 1 강유전체 커패시터의 제 1 전극은 상기 제 2 스플릿 워드라인 상부에서 절연층을 사이에 두고 형성하며, 상기 제 2 강유전체 커패시터의 제 1 전극은 상기 제 1 스플릿 워드라인 상부에서 상기 절연층을 사이에 두고 형성하는 것을 특징으로 하는 불휘발성 강유전체 메모리 소자 제조방법.

【청구항 10】

제 7 항에 있어서, 상기 제 1, 제 2 강유전체 커패시터의 제 2 전극을 형성하는 공정은,

상기 제 1, 제 2 강유전체층을 포함한 전면에 강유전체 커패시터의 제 2 전극물질층을 형성하는 공정과,

상기 제 1, 제 2 스플릿 워드라인이 형성된 방향을 따라 상기 제 1, 제 2 강유전체층의 표면상에 각각 형성되고 상기 제 1, 제 2 스플릿 워드라인에 대해 폴디드(folded) 형태를 갖는 섬모양이 되도록 상기 강유전체 커패시터의 제 2 전극물질층을 선택적으로

제거하는 공정을 포함하여 이루어지는 것을 특징으로 하는 불휘발성 강유전체 메모리 소자 제조방법.

【청구항 11】

제 7 항에 있어서, 상기 제 1, 제 2 전도층을 형성하는 공정은,

상기 제 1, 제 2 강유전체 커패시터의 제 2 전극들을 포함한 전면에 전도성 물질층을 형성하는 공정과,

상기 전도성 물질층을 선택적으로 제거하여 상기 제 1 강유전체 커패시터의 제 2 전극과 상기 제 1 소오스 영역에 연결된 제 2 플러그를 직접적으로 연결하는 제 1 전도층과, 상기 제 2 강유전체 커패시터의 제 2 전극과 상기 제 2 소오스 영역에 연결된 제 2 플러그를 직접적으로 연결하는 제 2 전도층을 형성하는 공정을 포함하여 이루어지는 것을 특징으로 하는 불휘발성 강유전체 메모리 소자 제조방법.

【청구항 12】

제 7 항에 있어서, 상기 제 1 강유전체 커패시터의 제 2 전극 및 상기 제 2 강유전체 커패시터의 제 2 전극은 각각 상기 액티브 영역을 중심으로 그 양측의 필드 영역상에 형성되는 것을 특징으로 하는 불휘발성 강유전체 메모리 소자 제조방법.

【청구항 13】

제 7 항에 있어서, 상기 제 1 스플릿 워드라인과 상기 제 2 강유전체 커패시터의 제 1 전극을 전기적으로 연결하는 공정과, 상기 제 2 스플릿 워드라인과 상기 제 1 강유전체 커패시터의 제 1 전극을 전기적으로 연결하는 공정을 더 포함하여 이루어지는 것을 특징으로 하는 불휘발성 강유전체 메모리 소자 제조방법.

【청구항 14】

제 7 항에 있어서, 상기 제 1, 제 2 강유전체 커패시터의 제 2 전극을 형성하는 공정은,

상기 제 1, 제 2 강유전체층을 포함한 전면에 강유전체 커패시터의 제 2 전극물질층을 형성하는 공정과,

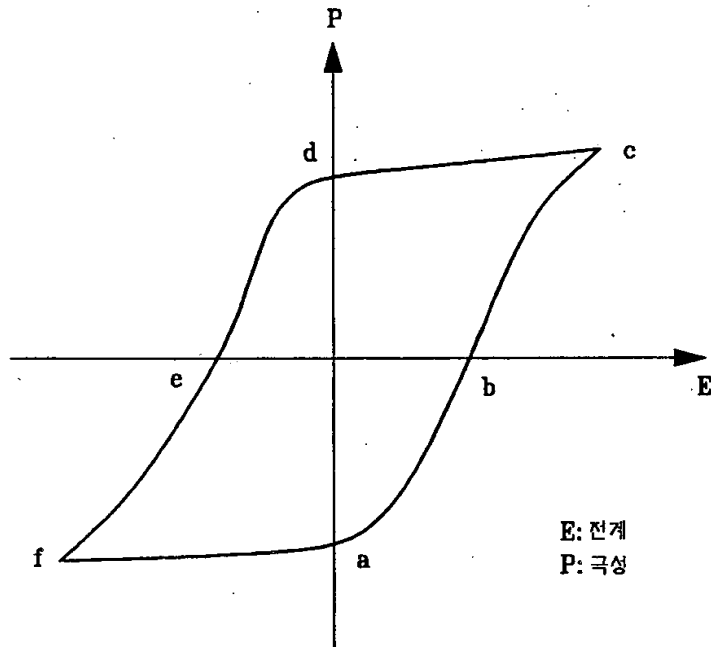
상기 제 2 전극물질층을 선택적으로 제거하여 상기 제 1, 제 2 스플릿 워드라인이 형성된 방향을 따라 상기 제 1, 제 2 강유전체층의 표면에 각각 형성되고 서로가 평행하며 대칭적인 섬모양의 제 1 강유전체 커패시터의 제 2 전극과 제 2 강유전체 커패시터의 제 2 전극을 형성하는 것을 포함함을 특징으로 하는 불휘발성 강유전체 메모리 소자 제조방법.

【청구항 15】

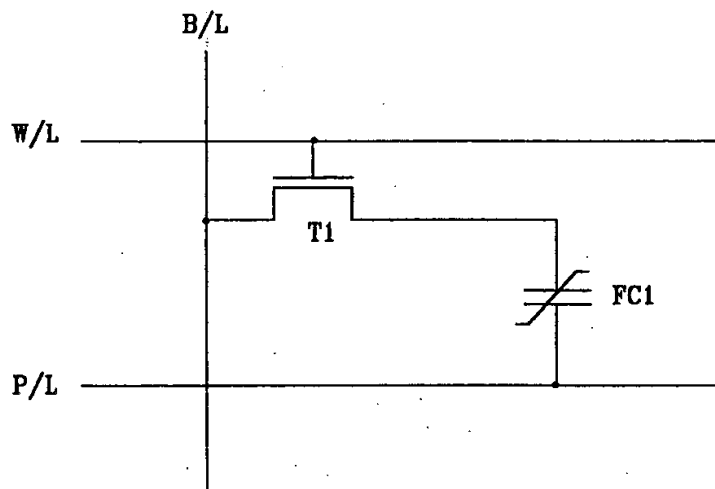
제 14 항에 있어서, 상기 제 1 강유전체 커패시터의 제 2 전극은 상기 제 2 액티브 영역중 소오스와 드레인 사이의 영역에서부터 상기 제 1 액티브 영역 하부의 필드 영역에까지 형성하고, 상기 제 2 강유전체 커패시터의 제 2 전극은 상기 제 1 액티브 영역중 소오스와 드레인 사이의 영역에서부터 상기 제 2 액티브 영역 상부의 필드 영역에까지 형성하는 것을 특징으로 하는 불휘발성 강유전체 메모리 소자 제조방법.

【도면】

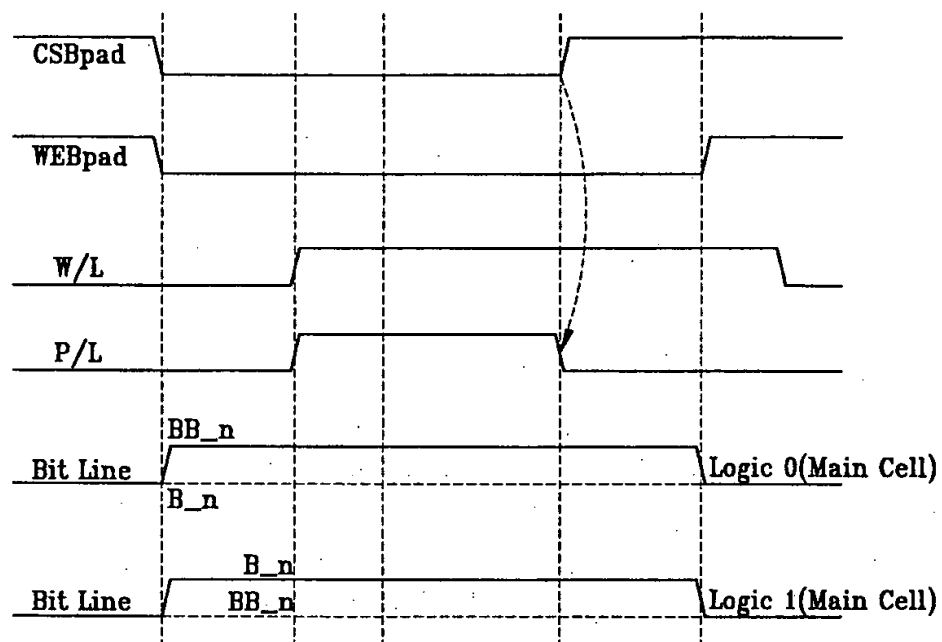
【도 1】



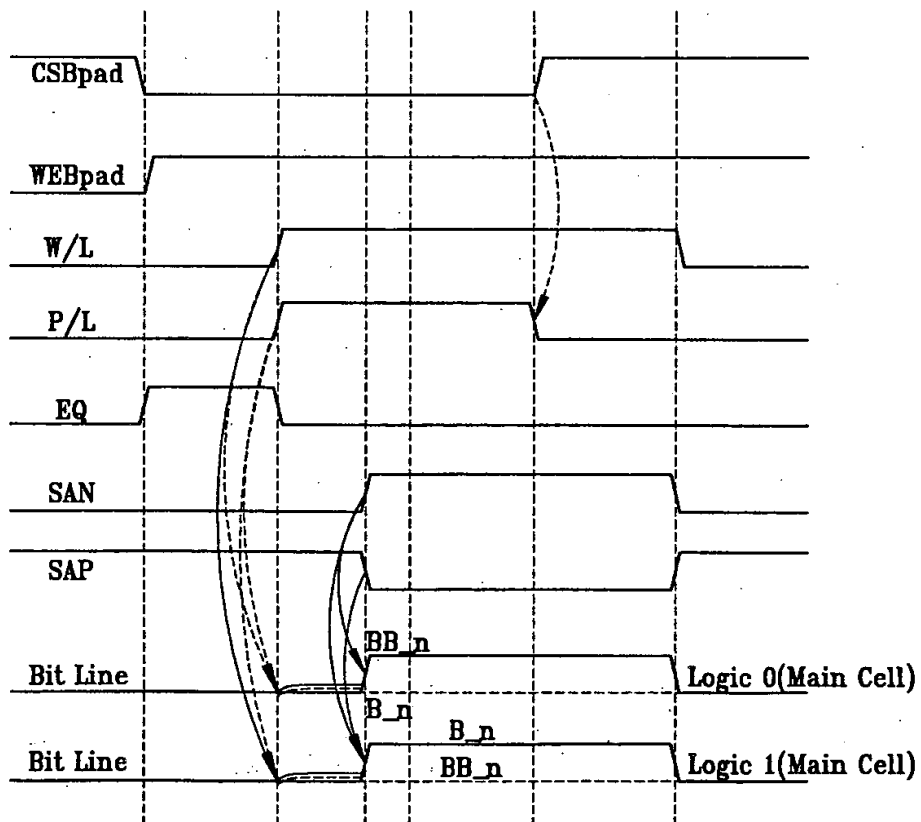
【도 2】



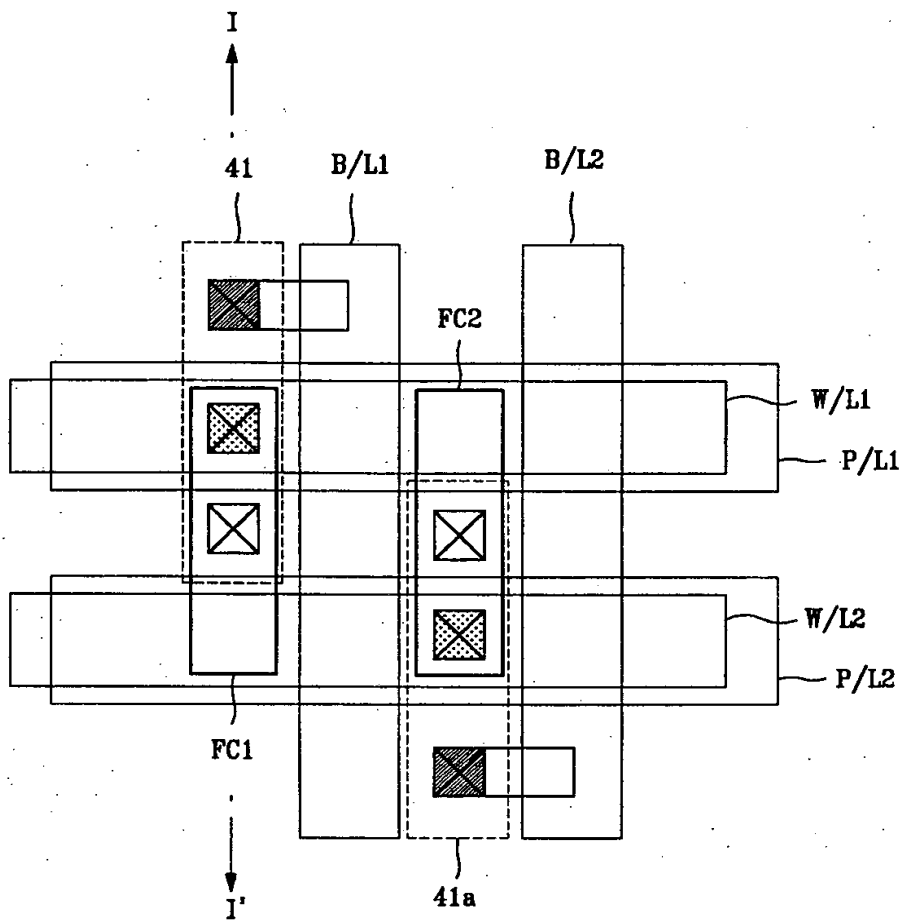
【図 3a】



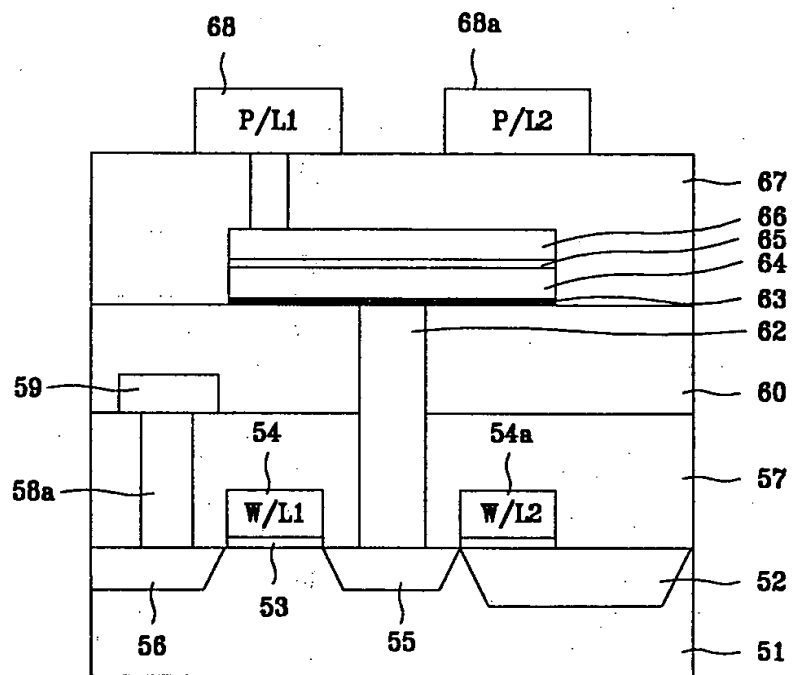
【図 3b】



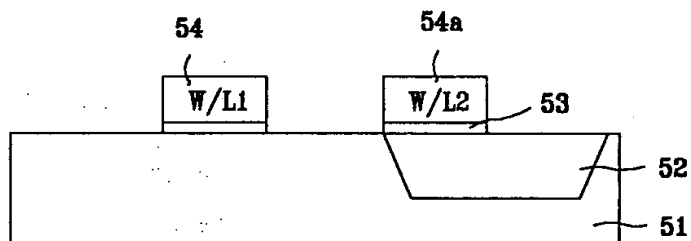
【図 4a】



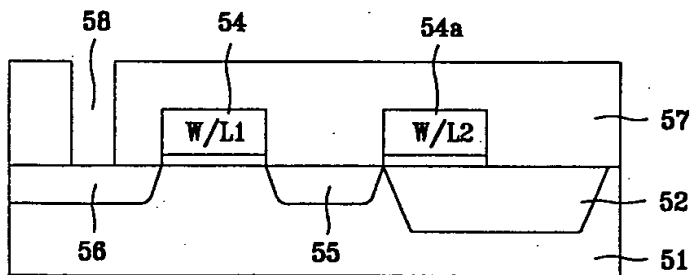
【도 4b】



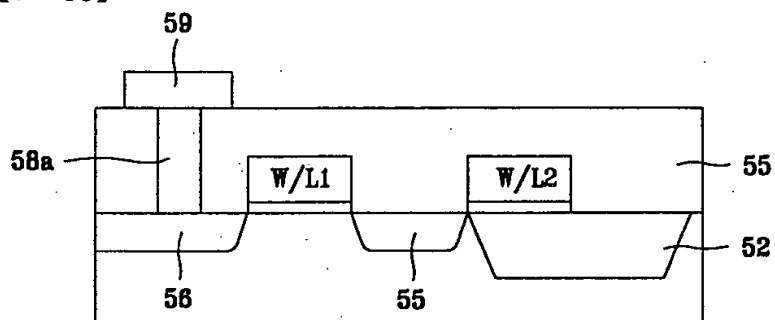
【도 5a】



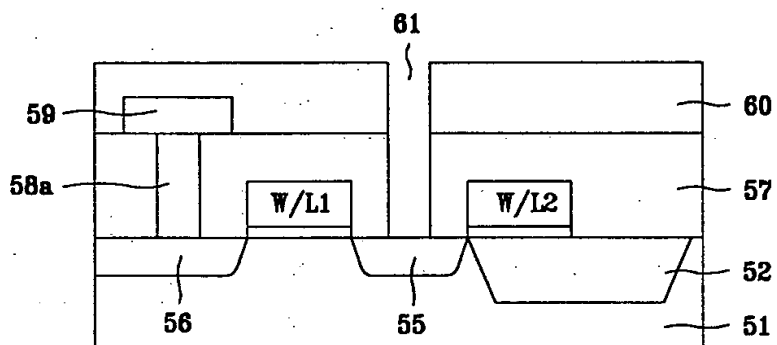
【도 5b】



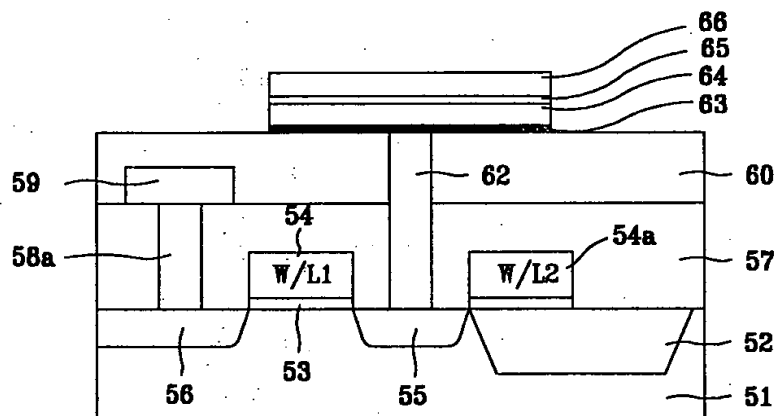
【図 5c】



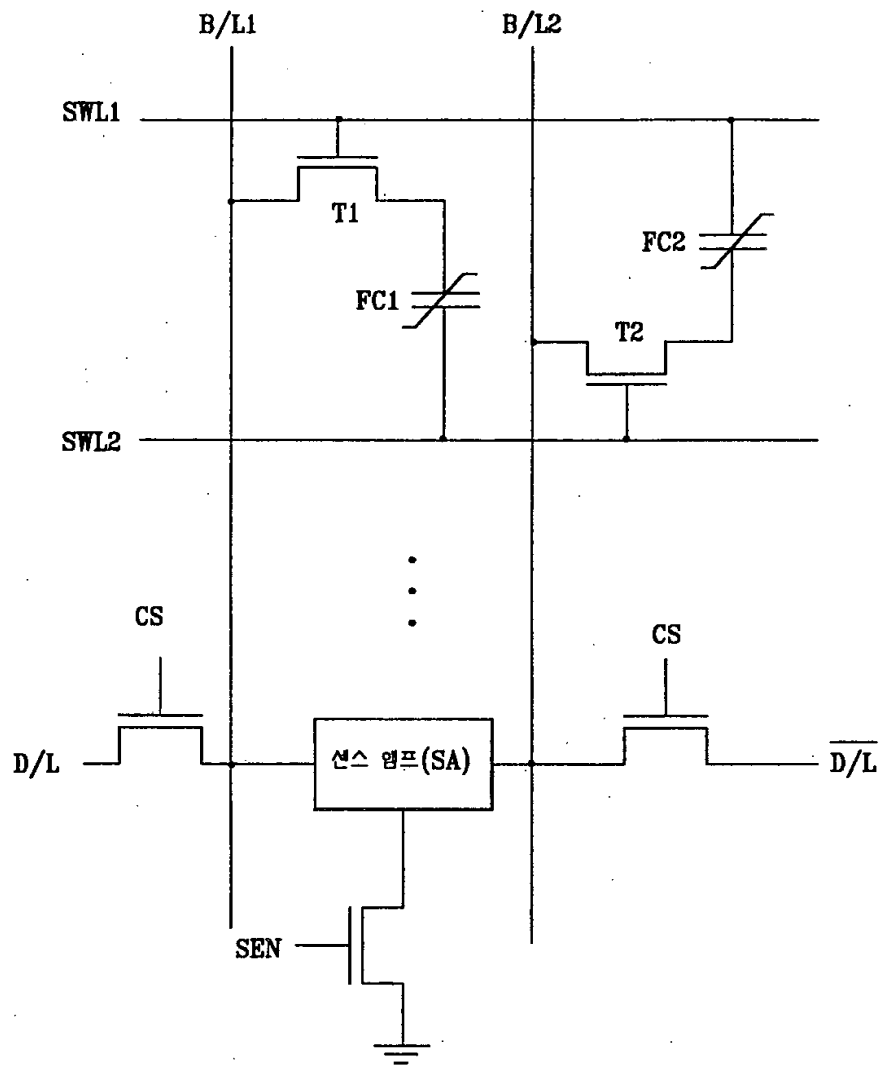
【図 5d】



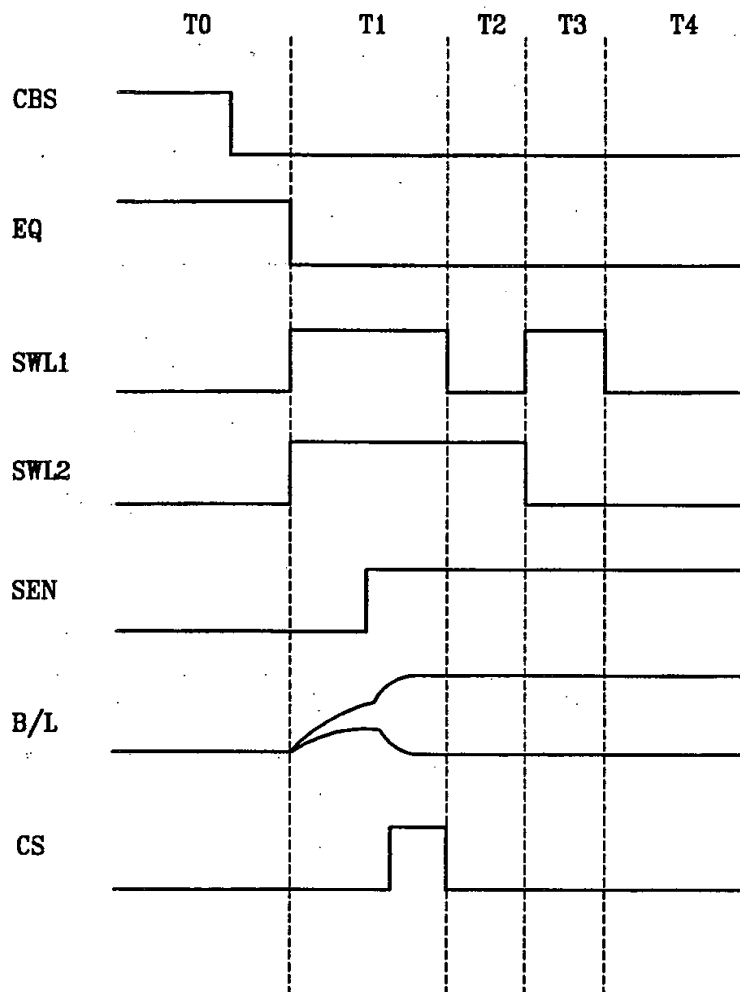
【図 5e】



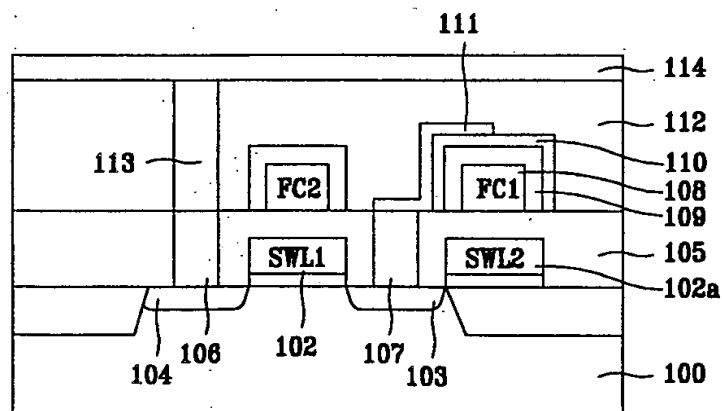
【도 7】



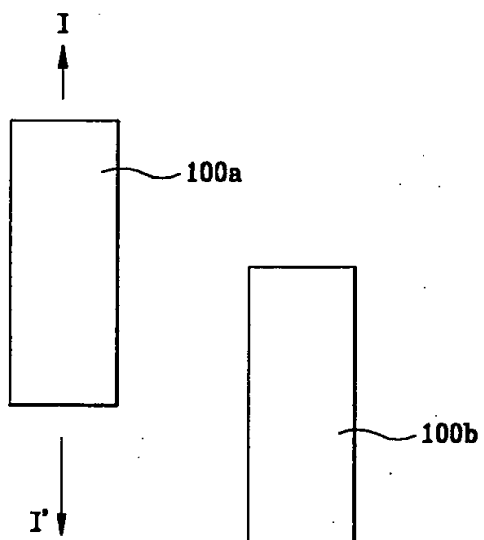
【도 8】



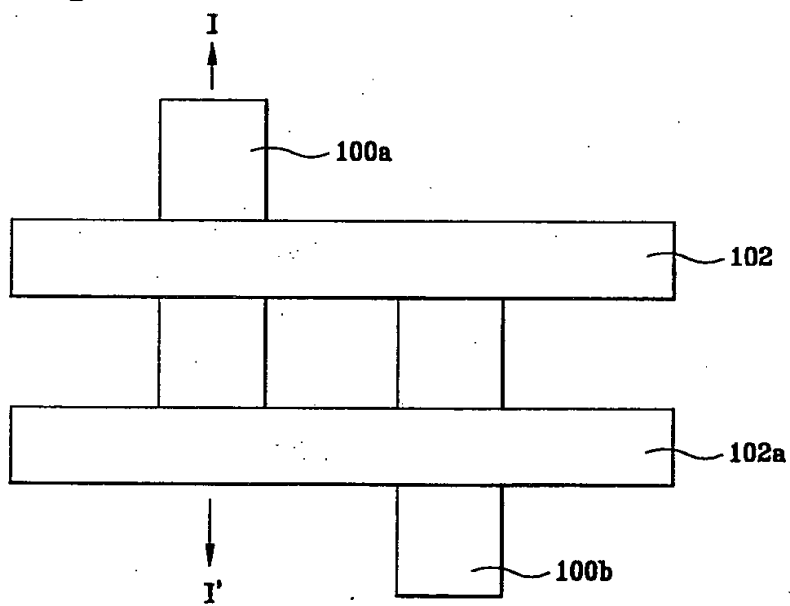
【도 9】



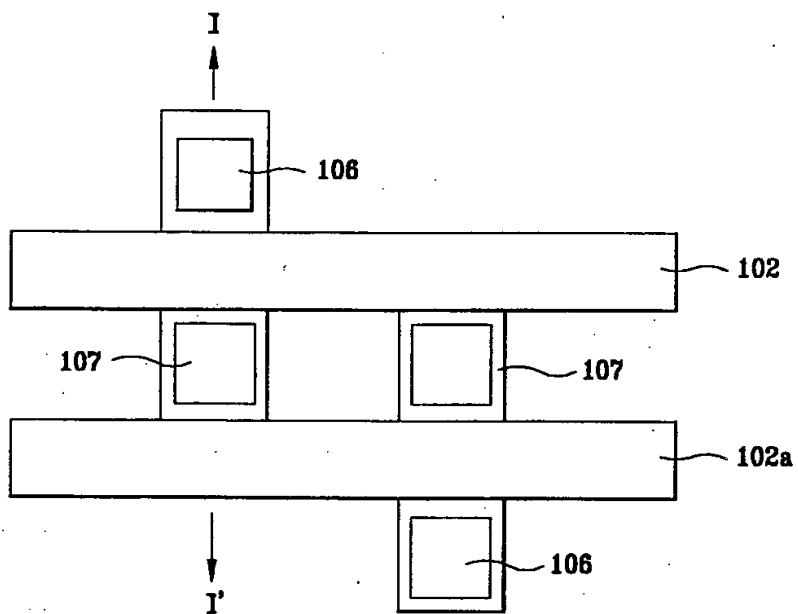
【도 10a】



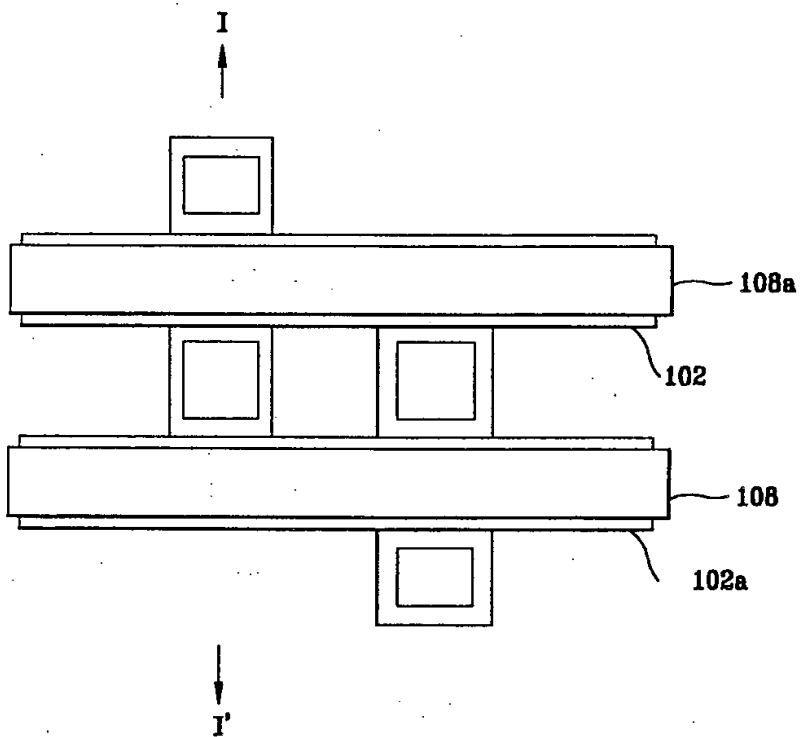
【도 10b】



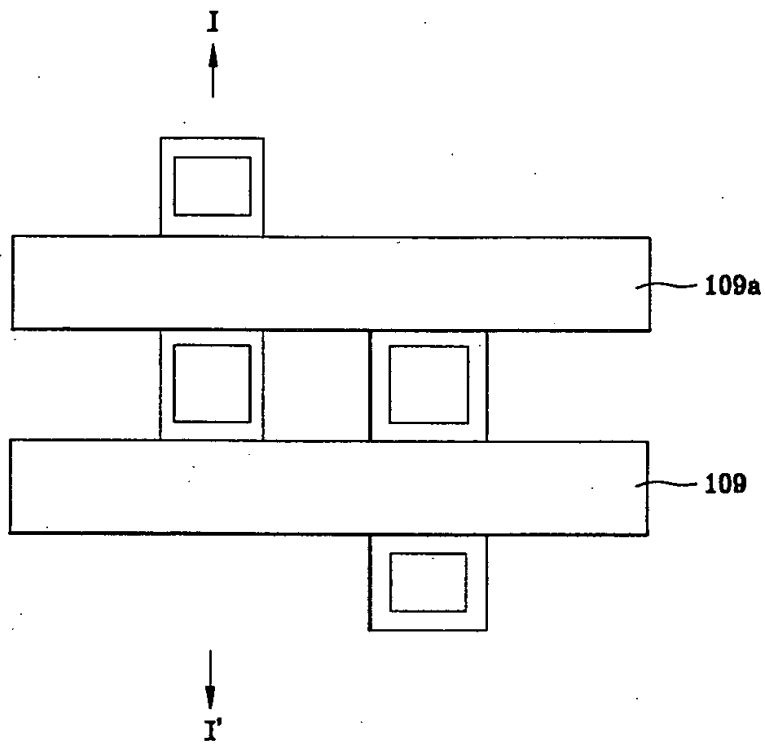
【図 10c】



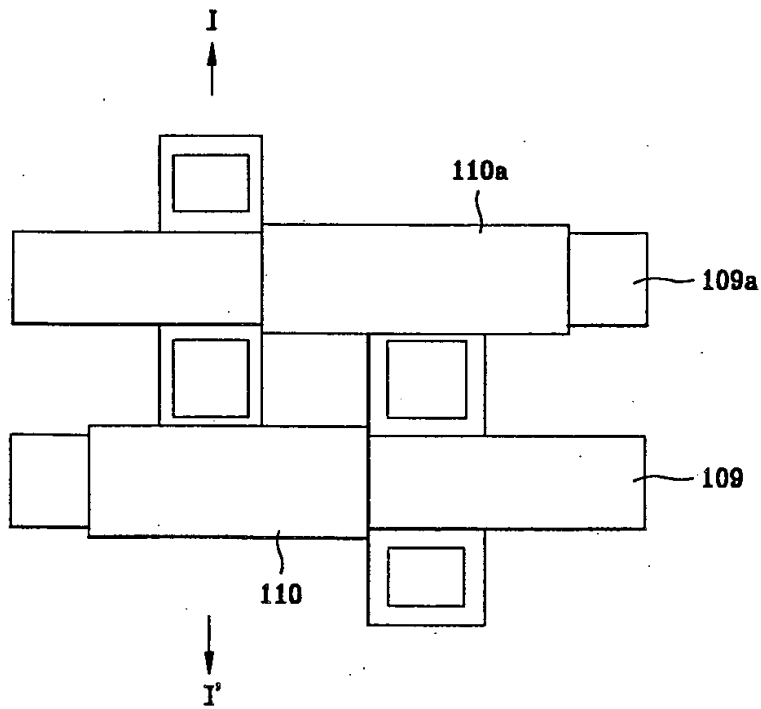
【図 10d】



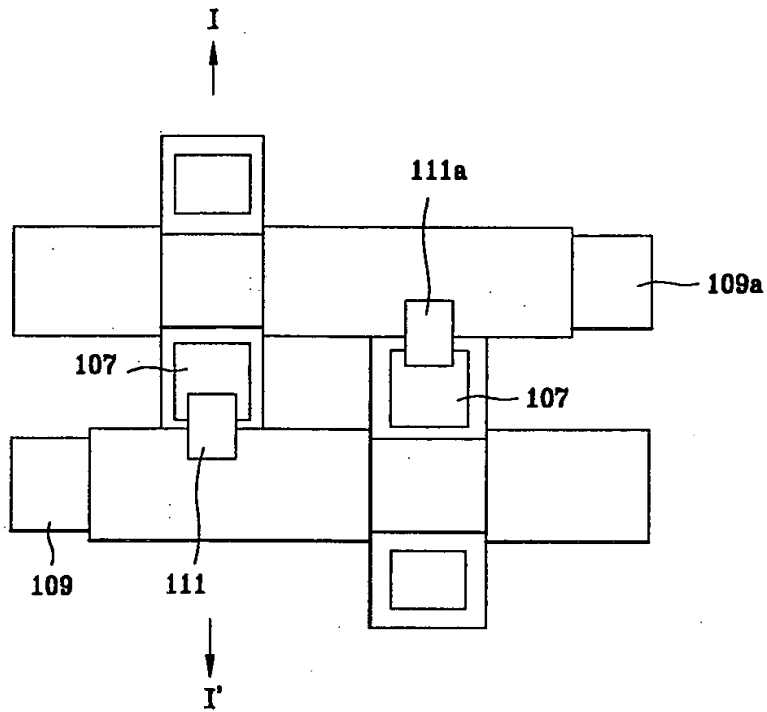
【図 10e】



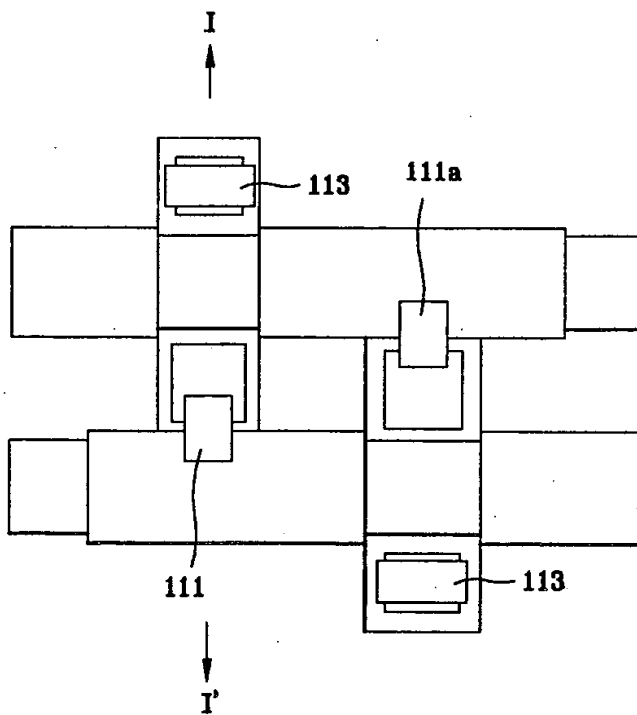
【図 10f】



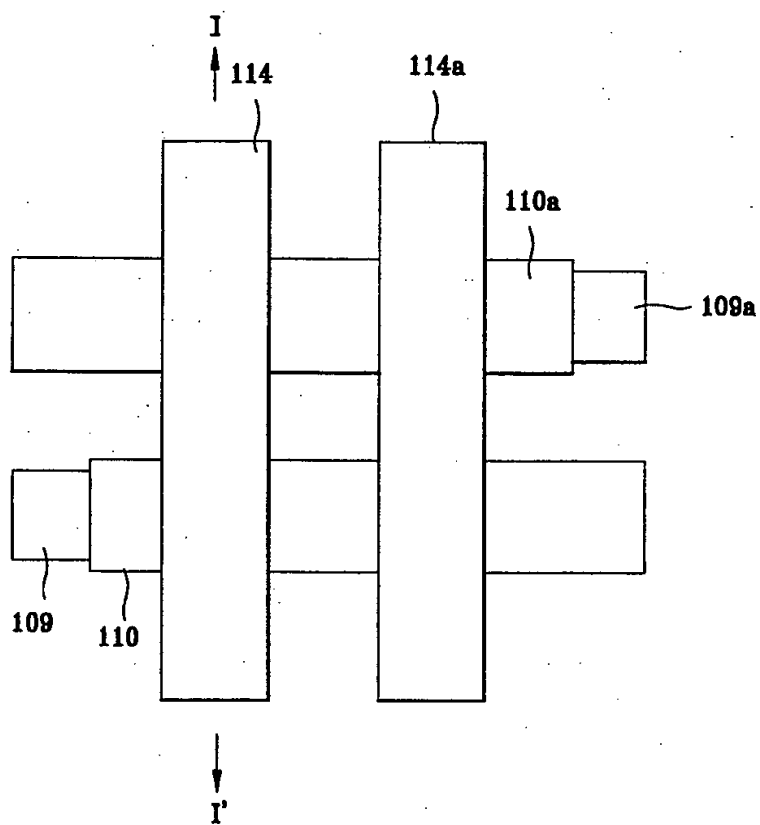
【図 10g】



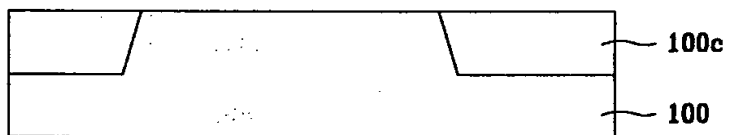
【図 10h】



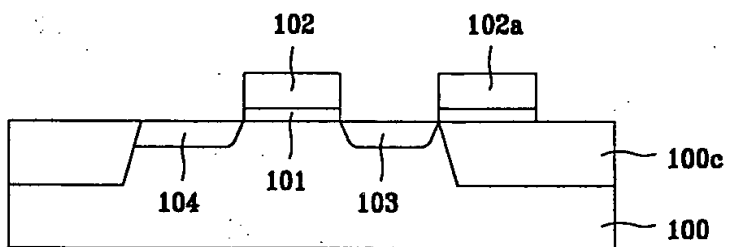
【図 10i】



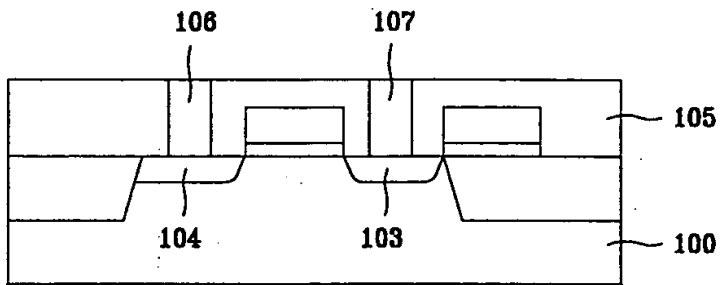
【図 11a】



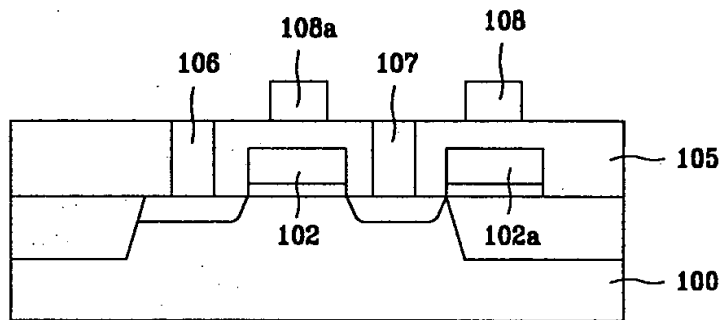
【図 11b】



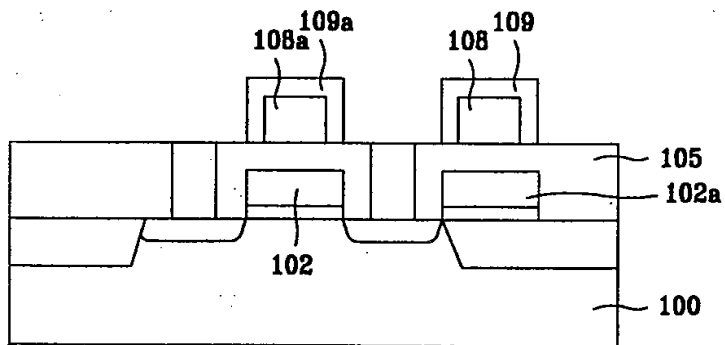
【図 11c】



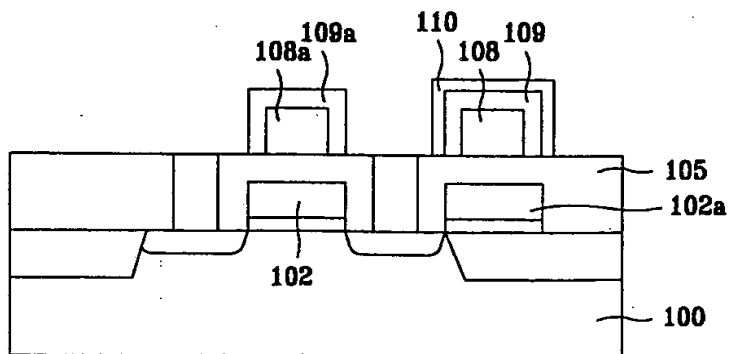
【図 11d】



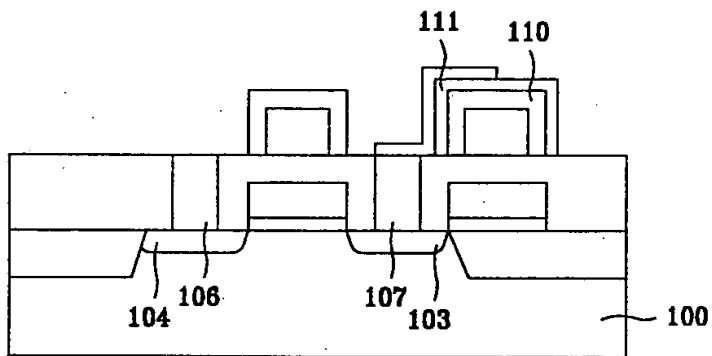
【図 11e】



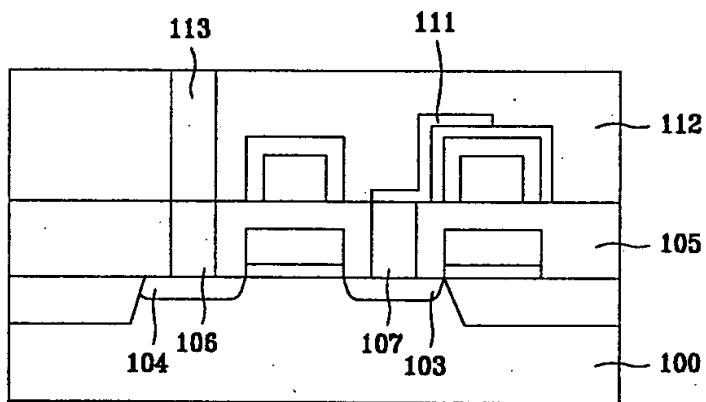
【図 11f】



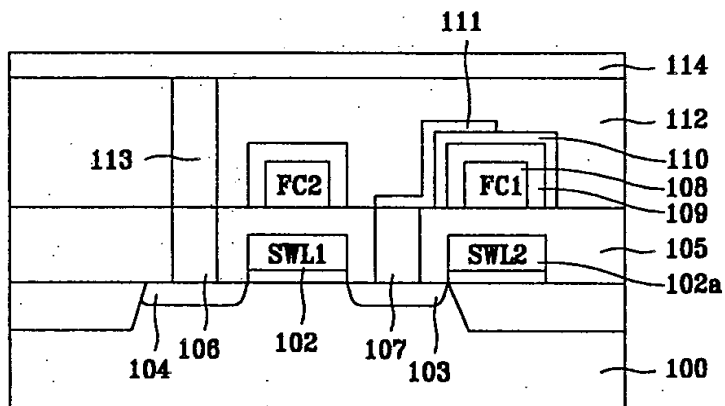
【도 11g】



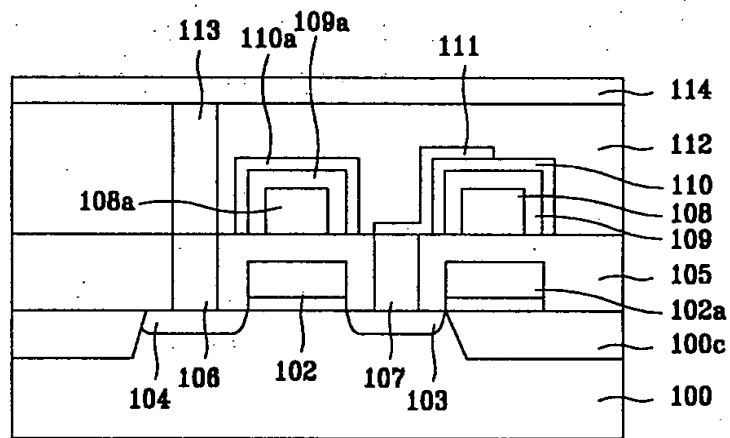
【도 11h】



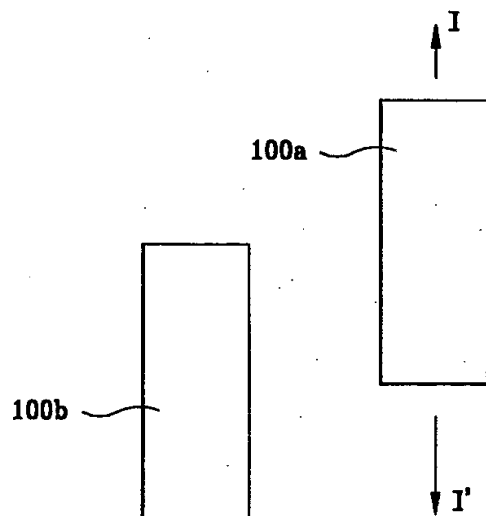
【도 11i】



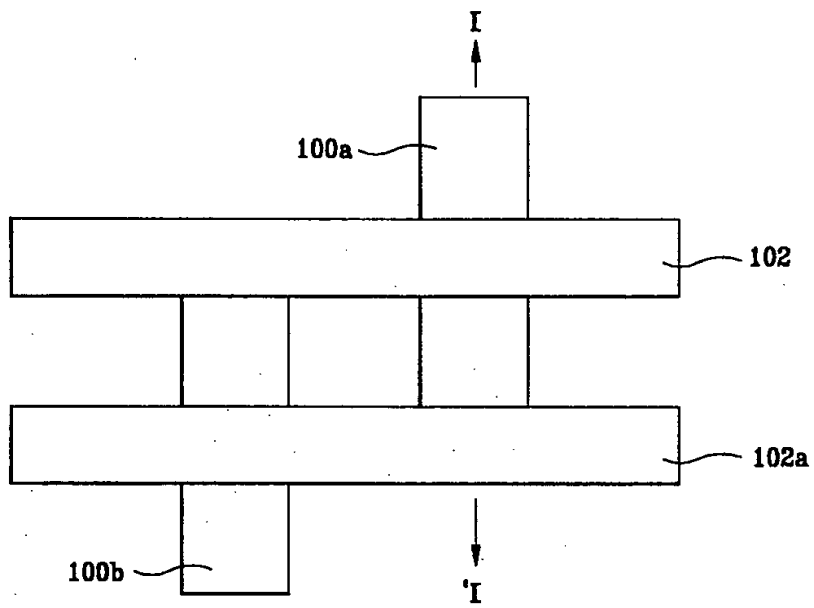
【도 12】



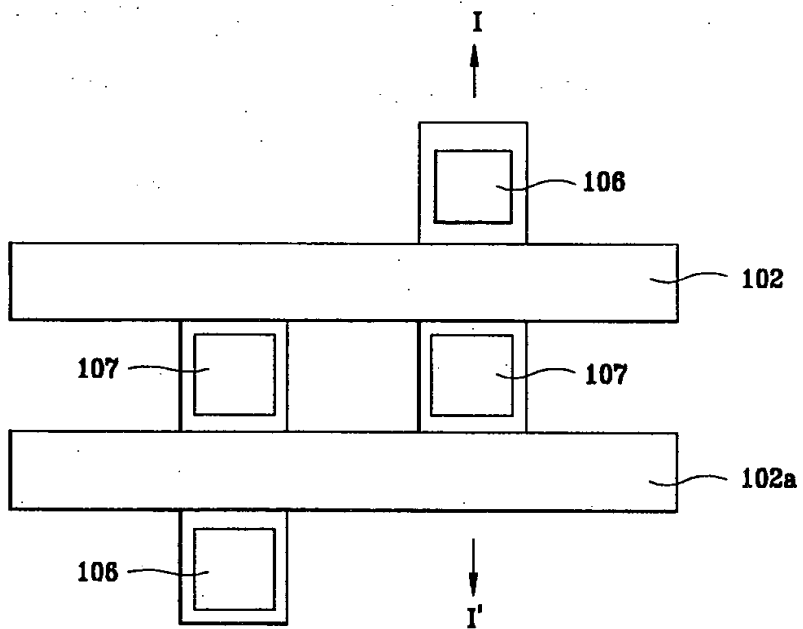
【도 13a】



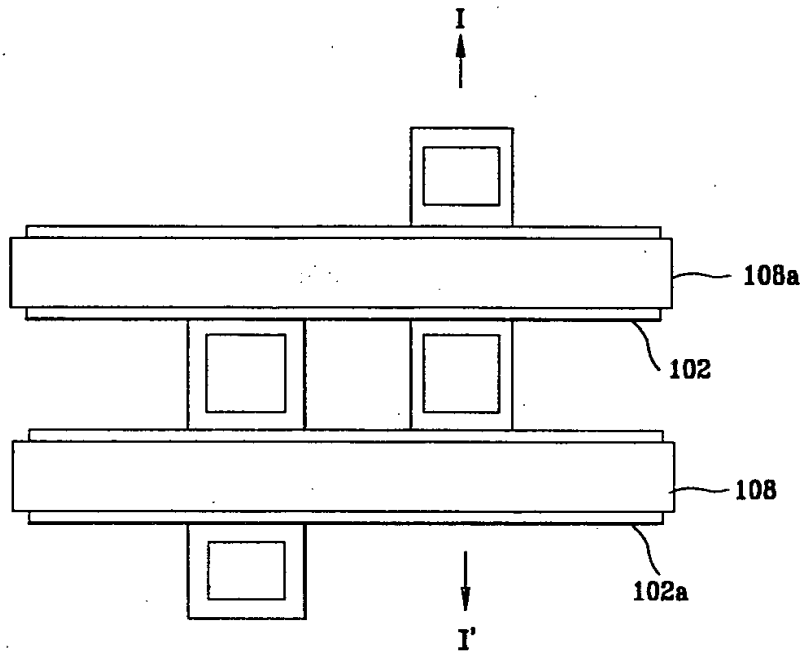
【도 13b】



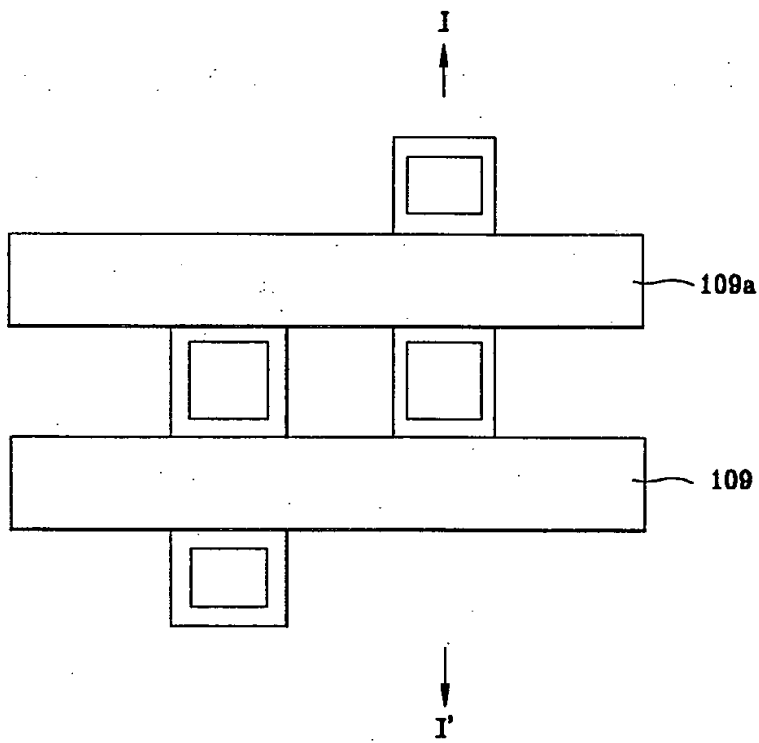
【도 13c】



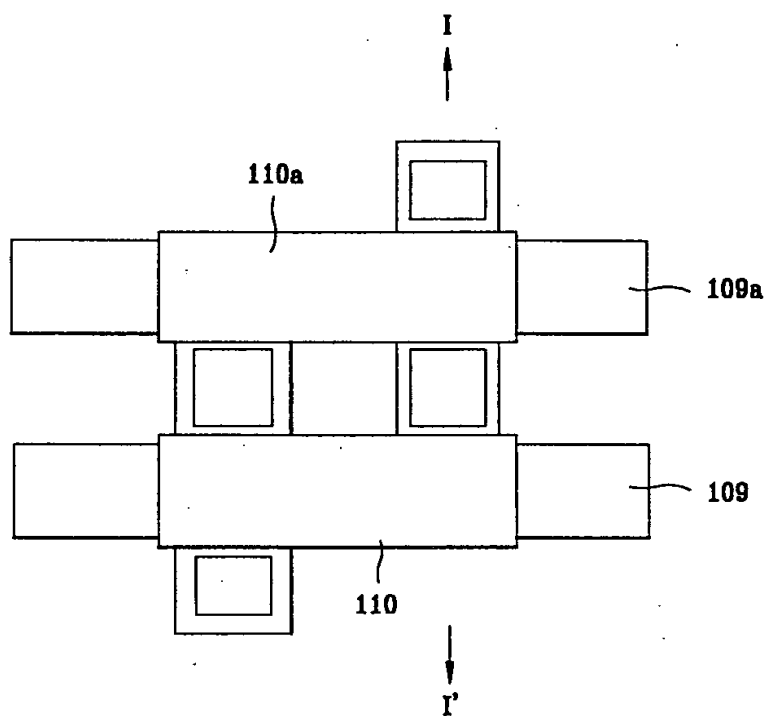
【도 13d】



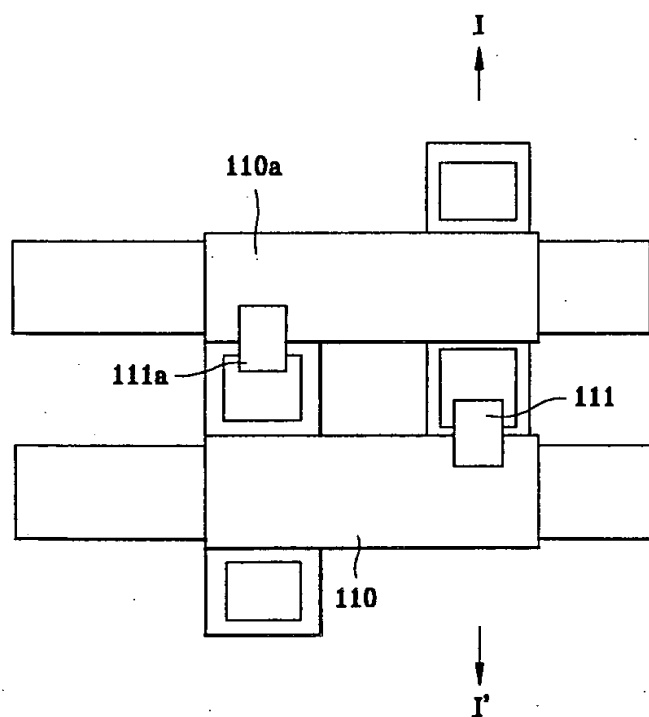
【도 13e】



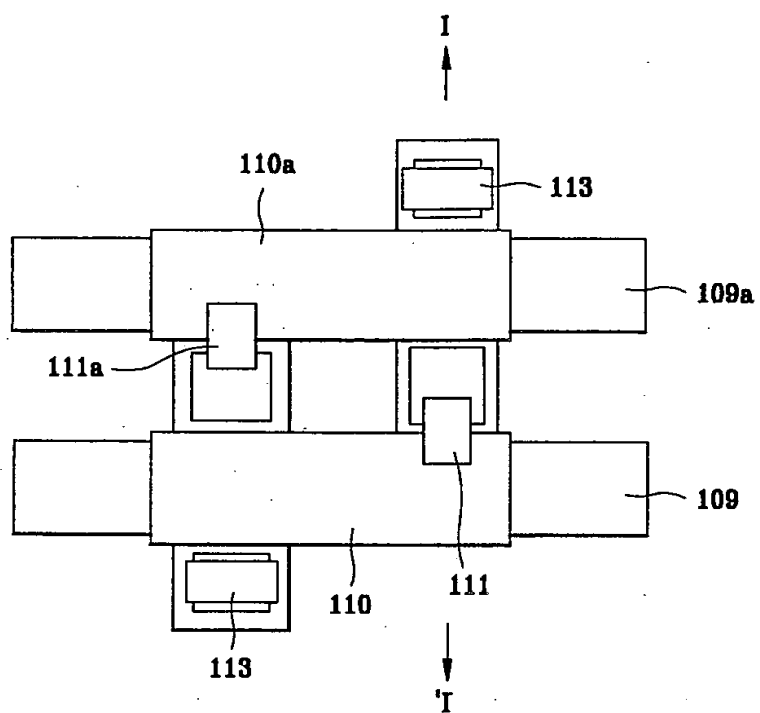
【図 13f】



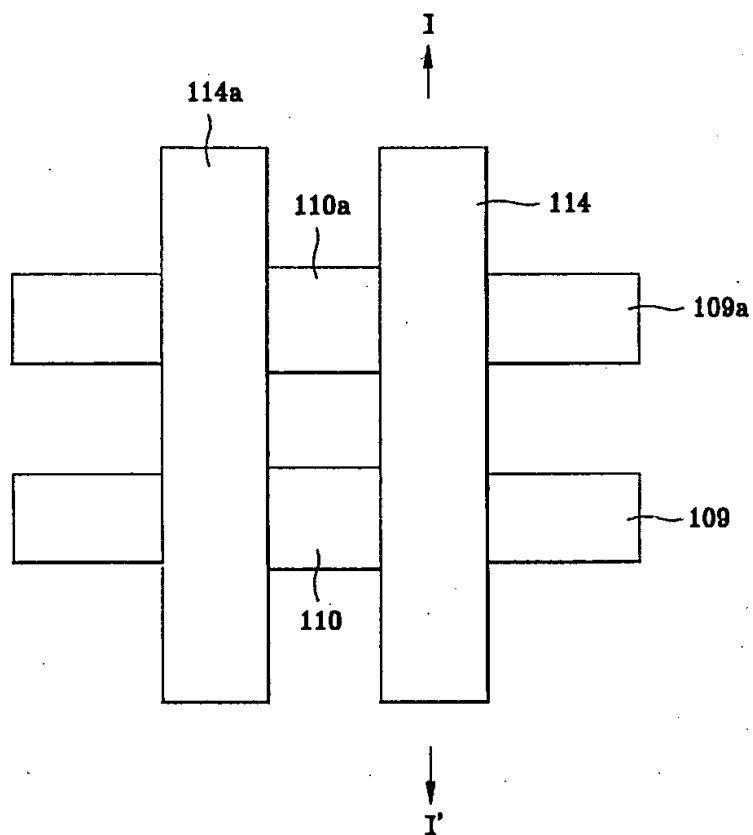
【図 13g】



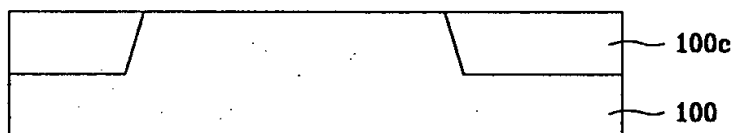
【図 13h】



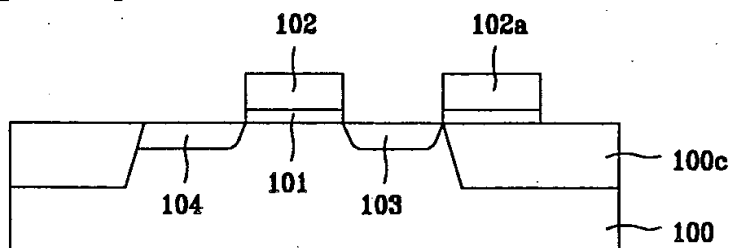
【図 13i】



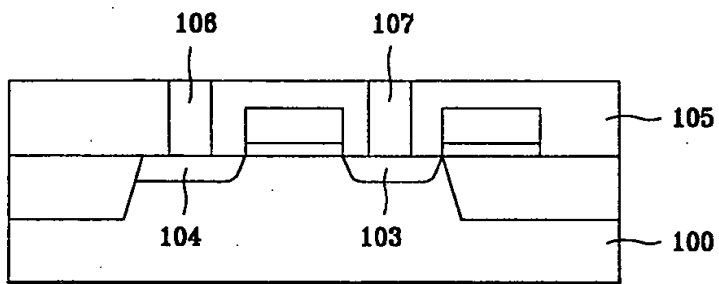
【図 14a】



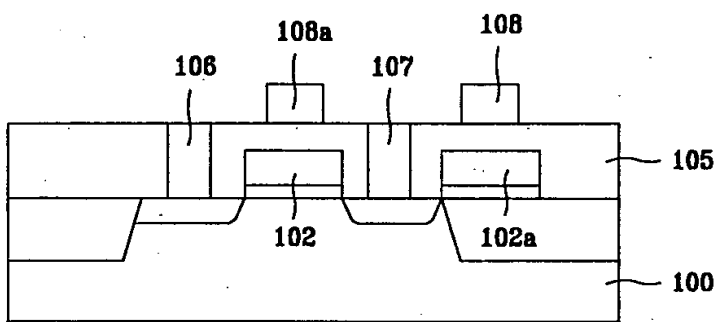
【図 14b】



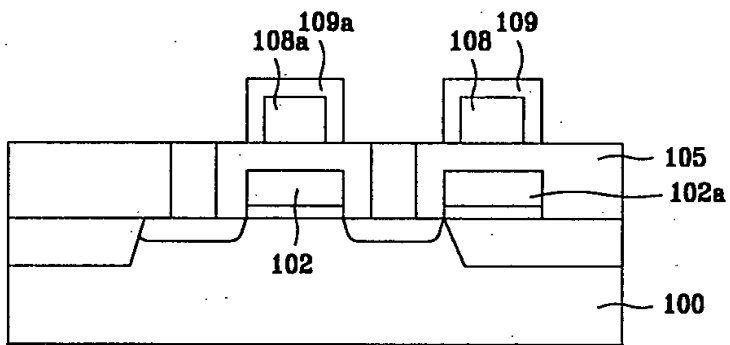
【도 14c】



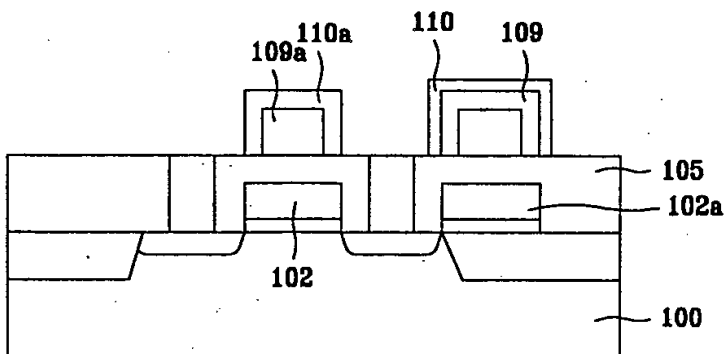
【도 14d】



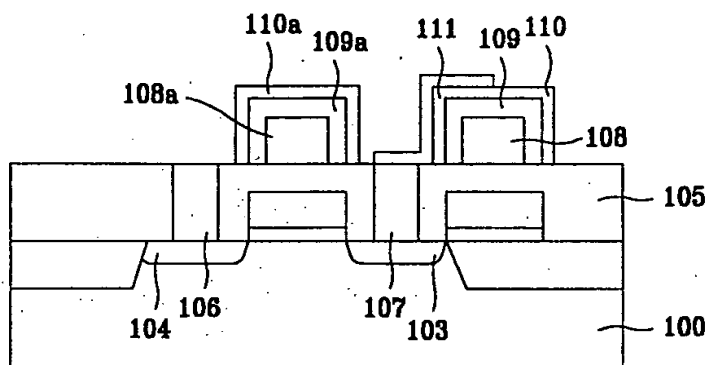
【도 14e】



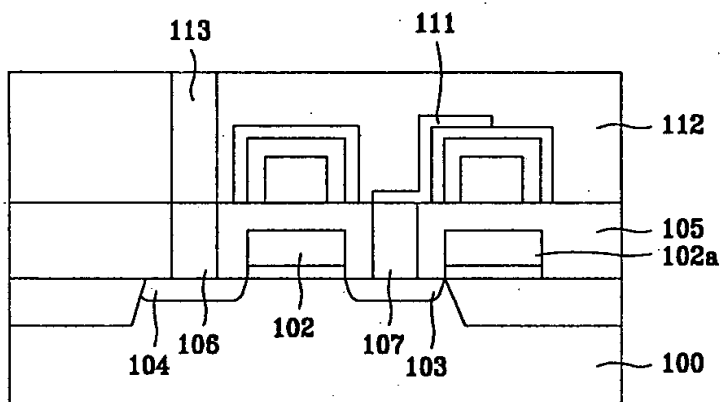
【도 14f】



【도 14g】



【도 14h】



【도 14i】

